

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004 年 4 月 22 日 (22.04.2004)

PCT

(10) 国際公開番号  
WO 2004/034759 A1(51) 国際特許分類<sup>7</sup>: H05K 3/46, 1/18, H01L 23/12

(21) 国際出願番号: PCT/JP2003/012749

(22) 国際出願日: 2003 年 10 月 6 日 (06.10.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願2002-294463 2002 年 10 月 8 日 (08.10.2002) JP  
特願2003-302391 2003 年 8 月 27 日 (27.08.2003) JP  
特願2003-302392 2003 年 8 月 27 日 (27.08.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 大日本印刷株式会社 (DAI NIPPON PRINTING CO., LTD.) [JP/JP]; 〒162-0062 東京都新宿区市谷加賀町一丁目1番1号 Tokyo (JP). ディー・ティー・サーキットテクノロジー株式会社 (D. T. CIRCUIT TECHNOLOGY CO., LTD.) [JP/JP]; 〒183-0043 東京都府中市東芝町2番地1 Tokyo (JP).

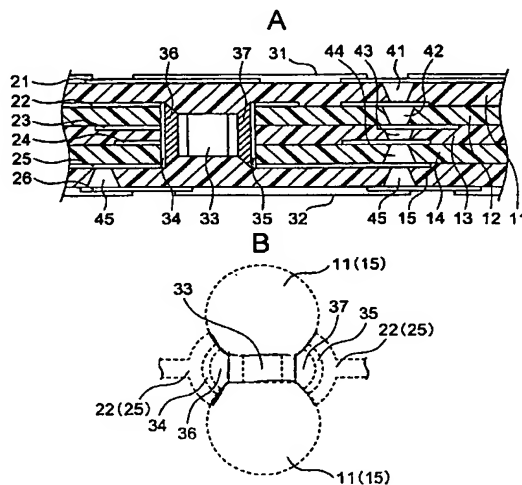
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 今村 達郎 (IMA-MURA, Tatsuro) [JP/JP]; 〒162-0062 東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内 Tokyo (JP). 山口 雄二 (YAMAGUCHI, Yuji) [JP/JP]; 〒162-0062 東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内 Tokyo (JP). 篠崎 和広 (SHINOZAKI, Kazuhiro) [JP/JP]; 〒162-0062 東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内 Tokyo (JP). 柴崎 聡 (SHIBAZAKI, Satoshi) [JP/JP]; 〒162-0062 東京都新宿区市谷加賀町一丁目1番1号 大日本印刷株式会社内 Tokyo (JP). 福岡 義孝 (FUKUOKA, Yoshitaka) [JP/JP]; 〒170-0013 東京都豊島区東池袋2-14-1 O Tokyo (JP). 平井 浩之 (HIRAI, Hiroyuki) [JP/JP]; 〒183-0043 東京都府中市東芝町2番地1 ディー・ティー・サーキットテクノロジー株式会社 Tokyo (JP). 島田 修 (SHIMADA, Osamu) [JP/JP]; 〒183-0043 東京都府中市東芝町2番地1 ディー・ティー・サーキットテクノロジー株式会社 Tokyo (JP). 笹岡 賢司 (SASAOKA, Kenji) [JP/JP]; 〒183-0043 東京都府中市東芝町2番地1 ディー・

[続葉有]

(54) Title: WIRING BOARD INCORPORATING COMPONENTS AND PROCESS FOR PRODUCING THE SAME

(54) 発明の名称: 部品内蔵配線板、部品内蔵配線板の製造方法



(57) Abstract: A wiring board incorporating components, and its producing process, in which the mounting density of components can be enhanced furthermore without sacrifice in reliability. The wiring board incorporating components comprises an electric/electronic component (33) having conductive layers (34, 35) formed in the thickness direction of the board while being buried and not to be exposed to the upper and lower surfaces of the board and a terminal buried in the board to face the buried conductive layer, members (36, 37) provided in the gap between the terminal of the buried electric/electronic component and the conductive layer and connecting the terminal with the conductive layer electrically/mechanically, and upper and lower insulating layers (11, 15) provided to adhere to the buried electric/electronic component from above and below in the thickness direction while covering the outer surface thereof except for the part being connected with the connecting.

[続葉有]



ティー・サーキットテクノロジー株式会社 Tokyo (JP).  
松村 健一 (MATSUMURA, Kenichi) [JP/JP]; 〒183-0043  
東京都府中市東芝町 2 番地 1 ティー・ティー・サー  
キットテクノロジー株式会社 Tokyo (JP).

(81) 指定国 (国内): KR, US.

添付公開書類:  
— 国際調査報告書

(74) 代理人: 須山 佐一 (SUYAMA, Saichi); 〒101-0046 東  
京都千代田区神田多町 2 丁目 1 番地 神田東山ビル  
Tokyo (JP).

2 文字コード及び他の略語については、定期発行される  
各 PCT ガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

(57) 要約:

信頼性を損なうことなくさらなる部品実装密度を向上することが可能な部品内蔵配線板およびその製造方法を提供する。

板厚み方向に形成されかつ板上下面には表出せずに埋設されている導電層 (34、35) と、端子を有し、埋設された導電層に端子が対向するように板内埋設された電気／電子部品 (33) と、埋設された電気／電子部品の端子と導電層との間隙に設けられて端子と導電層とを電氣的・機械的に接続する接続部材 (36、37) と、埋設された電気／電子部品の外表面のうち接続部材に接続される部位以外を覆いかつ電気／電子部品の板厚み方向上下に密着するように設けられた上下 2 つの絶縁層 (11、15) とを具備する。

## 明 細 書

## 部品内蔵配線板、部品内蔵配線板の製造方法

## 5 技術分野

本発明は、部品内蔵配線板およびその製造方法に係り、特に、さらなる部品実装密度向上に適する部品内蔵配線板およびその製造方法に関する。

## 10 背景技術

近年、エレクトロニクス技術が進展し電子機器や通信機器が高機能化され、かつ小型化も進んでいる。このような状況で配線板への例えば半導体の実装では、実装密度を向上するためパッケージ実装によらないベアチップ実装法が実用化されてきている。また、コンデンサや抵抗などの受動部品では、チップ実装型のものが、 $0.6\text{ mm} \times 0.3\text{ mm}$  ( $0603$ ) のサイズまで小型化している。

配線板自体としては、配線層間の電氣的接続（層間接続）が、スルーホールの内表面に形成された導電層によるものから、 $\text{CO}_2$ レーザやUV-YAGレーザにより各層ごとにブラインドビアを形成しその内表面にめっきを形成するものや導電性ペーストを充填するものなどに移行している。また、配線パターン形成には、その微細化のため、エッチングによる方法（サブトラクティブ工法）に代えてめっきにより配線をメタライズ形成する方法（アディティブ工法）も使用されつつある。これにより、 $L/S$ （ライン／スペース） $= 20\text{ }\mu\text{ m} / 20\text{ }\mu\text{ m}$ 程度まで微細形成可能となっている。

このような状況でさらに部品実装密度を向上し機器の小型化に資する

には、例えば、配線板内に部品を内蔵する部品内蔵配線板を用いることができる。部品内蔵配線板には、例えば、実開平５－５３２６９号公報に開示されたものがある。

## 5 発明の開示

上記公報に開示されたものでは、基板内に内蔵して実装される部品は、基板上に実装される場合と同様に、部品の端子それぞれに対応して設けられたランド（当然、板厚み方向とは垂直方向に形成されている）上に接続される。ここで、部品が基板内に内蔵される場合には、その部品の各周りは電氣的接続部を除いて絶縁樹脂で覆われ密着されるのが好ましい。未充填部位が生じると信頼性を劣化させるからである。この点で、上記公報のものは、構造上、部品とこの部品が直接実装される基板との間に隙間が生じた場合、この隙間は非常に狭く樹脂の未充填が生じやすい。

15 本発明は、上記した事情を考慮してなされたもので、部品内蔵配線板およびその製造方法において、信頼性を損なうことなくさらなる部品実装密度を向上することが可能な部品内蔵配線板およびその製造方法を提供することを目的とする。

上記の課題を解決するため、本発明に係る部品内蔵配線板は、板厚み  
20 方向に形成されかつ板上下面には表出せずに埋設されている導電層と、端子を有し、前記埋設された導電層に前記端子が対向するように板内埋設された電気／電子部品と、前記埋設された電気／電子部品の前記端子と前記導電層との間隙に設けられて前記端子と前記導電層とを電氣的・機械的に接続する接続部材と、前記埋設された電気／電子部品の外表面  
25 のうち前記接続部材に接続される部位以外を覆いかつ前記電気／電子部品の板厚み方向上下に密着するように設けられた上下２つの絶縁層とを

具備する。

この部品内蔵配線板では、内蔵部品の端子に接続するための導電層が板厚み方向に形成されている。したがって、その部品の端子と導電層との接続は、例えば水平方向にブリッジした形状の導電部材によりなされる。よって、内蔵部品の周りに間隙を生じにくくした構造であり、内蔵部品の周りには上下2つの絶縁層が密着する。したがって、内蔵部品の周辺に空隙が発生せず信頼性を劣化させない。

また、本発明に係る部品内蔵配線板の製造方法は、少なくとも上下両面に導電層を有するコア配線板を製造する工程と、前記製造されたコア配線板に貫通孔を形成する工程と、前記形成された貫通孔の内表面を含むように導電層を形成する工程と、前記上下両面の導電層をパターンニングする工程と、前記貫通孔に形成された前記導電層を内蔵すべき電気／電子部品の端子の数に応じて分断し、かつ、内蔵すべき電気／電子部品を位置させるべき空間が生じるように、前記製造されたコア配線板を加工する工程と、前記空間に電気／電子部品を位置させる工程と、前記位置させられた電気／電子部品の前記端子と前記分断された導電層とを導電部材で接続する工程と、前記導電部材により前記電気／電子部品が接続された前記コア配線板の上下両面それぞれに重ねてかつ前記電気／電子部品の周りを充填するように絶縁層を積層形成する工程とを具備する。

この製造方法では、内蔵部品の端子に接続するための導電層をコア配線板に設けた貫通孔に形成する。そして、貫通孔に形成された導電層は内蔵部品の端子の数に応じて分断され、かつ、内蔵すべき電気／電子部品を位置させるべき空間が生じるようにコア配線板が加工される。したがって、その部品の端子と導電層との接続は、例えば水平方向にブリッジした形状の導電部材によりなされ得る。よって、内蔵部品の周りに間隙を生じにくくした構造であり、内蔵部品の周りには積層のための絶縁

層が充填・密着され得る。したがって、内蔵部品の周辺に空隙が発生せず信頼性を劣化させない配線板を製造することができる。

また、本発明に係る別の部品内蔵配線板の製造方法は、少なくとも上下両面に導電層を有するコア配線板を製造する工程と、内蔵すべき電気／電子部品を位置させるべき空間が生じるように前記製造されたコア配線板に貫通孔を形成する工程と、前記形成された貫通孔の内表面を含むように導電層を形成する工程と、前記上下両面の導電層をパターンニングする工程と、前記貫通孔に形成された前記導電層を前記内蔵すべき電気／電子部品の端子の数に応じて分断する工程と、前記空間に電気／電子部品を位置させる工程と、前記位置させられた電気／電子部品の前記端子と前記分断された導電層とを導電部材で接続する工程と、前記導電部材により前記電気／電子部品が接続された前記コア配線板の上下両面それぞれに重ねてかつ前記電気／電子部品の周りを充填するように絶縁層を積層形成する工程とを具備する。

この製造方法では、内蔵部品を位置させるべき空間が生じるようにコア配線板に貫通孔を形成し、さらに内蔵部品の端子に接続するための導電層をこの貫通孔に形成する。そして、貫通孔に形成された導電層は内蔵部品の端子の数に応じて分断される。したがって、その部品の端子と導電層との接続は、例えば水平方向にブリッジした形状の導電部材によりなされ得る。よって、内蔵部品の周りに間隙を生じにくくした構造であり、内蔵部品の周りには積層のための絶縁層が充填・密着され得る。したがって、内蔵部品の周辺に空隙が発生せず信頼性を劣化させない配線板を製造することができる。

## 図面の簡単な説明

図 1 A、図 1 B は、本発明の一実施形態に係る部品内蔵配線板の構造

を模式的に示す断面図および一部平面図である。

図 2 A、図 2 B、…、図 2 F は、本発明の一実施形態に係る部品内蔵配線板を製造するプロセスを模式的断面で示す図である。

5 図 3 A、図 3 B 1、…、図 3 C 2 は、図 2 A、図 2 B、…、図 2 F の続図であって、本発明の一実施形態に係る部品内蔵配線板を製造するプロセスを模式的に断面（または一部平面）にて示す図である。

図 4 A 1、図 4 A 2、図 4 B は、図 3 A、図 3 B 1、…、図 3 C 2 の続図であって、本発明の一実施形態に係る部品内蔵配線板を製造するプロセスを模式的に断面（または一部平面）にて示す図である。

10 図 5 A、図 5 B 1、図 5 B 2 は、図 4 A 1、図 4 A 2、図 4 B の続図であって、本発明の一実施形態に係る部品内蔵配線板を製造するプロセスを模式的に断面（または一部平面）にて示す図である。

図 6 A、図 6 B、図 6 C は、図 5 A、図 5 B 1、図 5 B 2 の続図であって、本発明の一実施形態に係る部品内蔵配線板を製造するプロセスを模式的に断面にて示す図である。

図 7 A、図 7 B は、本発明の別の実施形態に係る部品内蔵配線板の模式的な構成を示す断面図および一部平面図である。

20 図 8 A、図 8 B 1、…、図 8 C 2 は、本発明の別の実施形態に係る部品内蔵配線板を製造するプロセスを模式的に断面（または一部平面）にて示す図である。

図 9 A 1、図 9 A 2、図 9 B 1、図 9 B 2 は、図 8 A、図 8 B 1、…、図 8 C 2 の続図であって、本発明の別の実施形態に係る部品内蔵配線板を製造するプロセスを模式的に断面（または一部平面）にて示す図である。

25 図 10 A、図 10 B 1、図 10 B 2、図 10 B 3 は、図 9 A 1、図 9 A 2、図 9 B 1、図 9 B 2 の続図であって、本発明の別の実施形態に係る

る部品内蔵配線板を製造するプロセスを模式的に断面（または一部平面）にて示す図である。

図 1 1 A、図 1 1 B は、本発明の別の実施形態に係る部品内蔵配線板の製造に必要な配線板素材の構成を模式的に断面にて示す図である。

5 図 1 2 A、図 1 2 B、図 1 2 C は、図 1 0 A、図 1 0 B 1、図 1 0 B 2、図 1 0 B 3 の続図であって、本発明の別の実施形態に係る部品内蔵配線板を製造するプロセスを模式的に断面にて示す図である。

図 1 3 A、図 1 3 B は、本発明のさらに別の実施形態に係る部品内蔵配線板の模式的な構成を示す断面図および一部平面図である。

10 図 1 4 A、図 1 4 B 1、…、図 1 4 C 2 は、本発明のさらに別の実施形態に係る部品内蔵配線板を製造するプロセスを模式的に断面（または一部平面）にて示す図である。

図 1 5 A 1、図 1 5 A 2、図 1 5 B 1、図 1 5 B 2 は、図 1 4 A、図 1 4 B 1、…、図 1 4 C 2 の続図であって、本発明のさらに別の実施形態に係る部品内蔵配線板を製造するプロセスを模式的に断面（または一部平面）にて示す図である。

15 図 1 6 A、図 1 6 B 1、図 1 6 B 2、図 1 6 B 3 は、図 1 5 A 1、図 1 5 A 2、図 1 5 B 1、図 1 5 B 2 の続図であって、本発明のさらに別の実施形態に係る部品内蔵配線板を製造するプロセスを模式的に断面（または一部平面）にて示す図である。

20 図 1 7 A、図 1 7 B、図 1 7 C は、図 1 6 A、図 1 6 B 1、図 1 6 B 2、図 1 6 B 3 の続図であって、本発明のさらに別の実施形態に係る部品内蔵配線板を製造するプロセスを模式的に断面にて示す図である。

25 発明を実施するための最良の形態

本発明の実施態様として、前記電気／電子部品は、半導体チップ、半



導体パッケージ、チップコンデンサ、チップ抵抗、またはチップインダクタである。これらは、電気／電子部品として代表的なものである。ほかにも、ディスクリートの半導体素子（トランジスタ、ダイオードなど）を使用することができる。

- 5      また、実施態様として、前記導電層が横方向に電氣的接続し得る配線層をさらに具備し、その数が4である。導電層は、上述のように、板上下面には表出せずに埋設されているが、この埋設された位置の横方向に配線層が4つ設けられているという態様である。配線層が4つの場合のその部分の厚さは、配線層間に位置する各絶縁層（例えば樹脂層）の厚さを選択することで、例えば0.2mmから0.6mm程度にすることが容易にできる。このような寸法は、チップ抵抗のような電気部品の厚さと同等またはやや大であり、したがって部品を内蔵する空間が容易に確保できる。
- 10

- 15      また、実施態様として、前記配線層は、互いの間の電氣的導通が導電性バンプによりなされている。導電性バンプによる層間接続により一層の高密度実装に適する。

また、実施態様として、前記導電性バンプは、前記配線層をはさんで重疊的に位置している。導電性バンプが配線層をはさんで重疊的に位置することでさらに一層高密度実装に適する。

- 20      また、実施態様として、前記上下2つの絶縁層の内側面それぞれに接触して設けられた2つの内層配線層と、前記上下2つの絶縁層の外側面それぞれに接触して設けられた2つの外層配線層とをさらに具備し、前記上下2つの絶縁層それぞれをはさむ前記内層配線層と前記外層配線層との電氣的導通が導電性バンプによりなされている。内層配線層と外層配線層との層間接続が導電性バンプでなされることにより一層の高密度実装に適する。
- 25

また、実施態様として、前記接続部材は、半田または導電性樹脂である。利用可能な電氣的・機械的接続部材として代表的なものである。

また、実施態様として、前記接続部材は、前記導電層の横方向端部に接触していない。すなわち、導電層の横方向端部に乱れが形成された場合にもこの乱れに接触しない接続部材となり、乱れに干渉されないという製造上の利点を得られる。

また、実施態様として、前記導電層は、横断面形状として複数の円弧からなる形状である。この場合、上記のように接続部材が導電層の横方向端部に接触していない態様とするのに向いている。

10    また、本発明の製造方法における実施態様として、少なくとも上下両面に導電層を有するコア配線板を製造する前記工程は、配線層を4つ有するコア配線板を製造するものであり、かつ、これらの配線層同士の電氣的接続が導電性バンプでなされるように製造される。配線層を4つとすることにより、その厚さを、部品内蔵空間が確保しやすい寸法とし、  
15    配線層同士の層間接続を導電性バンプで行なうことにより一層の高密度実装を実現する。

また、実施態様として、前記形成された貫通孔の内表面を含むように導電層を形成する前記工程は、無電解めっきにより下地となる導電層を形成する工程と、前記形成された下地を種に用いて電解めっきにより上  
20    層となる導電層を形成する工程とを有する。このような2段階のめっきを用いることで効率的なめっき形成を行なうことができる。

また、実施態様として、前記貫通孔に形成された前記導電層を内蔵すべき電気／電子部品の端子の数に応じて分断し、かつ、内蔵すべき電気／電子部品の位置させるべき空間が生じるように、前記製造されたコア  
25    配線板を加工する前記工程は、ドリリングによりなされる。ドリリングを用いることで、スルーホール用の穴明け機など既存の製造装置の利用

を図ることができる。

また、実施態様として、前記空間に電気／電子部品を位置させる前記工程は、前記空間からのぞく前記コア配線板の下位置に支持部材をあてがい、前記支持部材上に前記電気／電子部品を位置させてなされる。部品  
5 品の実装位置は、コア配線板に形成された空間であるが、このように支持部材を利用することで、通常のマウンタなど既存の製造装置の利用を図ることができる。

また、実施態様として、前記位置させられた電気／電子部品の前記端子と前記分断された導電層とを導電部材で接続する前記工程は、前記導  
10 電部材として半田または導電性樹脂が用いられる。利用可能な電氣的・機械的接続部材として代表的なものである。

また、本発明の別の製造方法における実施態様として、前記形成された貫通孔の内表面を含むように導電層を形成する前記工程は、無電解め  
つきにより下地となる導電層を形成する工程と、前記形成された下地を  
15 種に用いて電解めつきにより上層となる導電層を形成する工程とを有してなされる。このような２段階のめつきを用いることで効率的なめつき形成を行なうことができる。

また、実施態様として、内蔵すべき電気／電子部品を位置させるべき空間が生じるように前記製造されたコア配線板に貫通孔を形成する前記  
20 工程は、ドリリングまたは金型打ち抜きによりなすことができる。ドリリングを用いることで、スルーホール用の穴明け機など既存の製造装置の利用を図ることができる。金型打ち抜きでは効率的な貫通孔形成ができる。

また、実施態様として、前記空間に電気／電子部品を位置させる前記  
25 工程は、前記空間からのぞく前記コア配線板の下位置に支持部材をあてがい、前記支持部材上に前記電気／電子部品を位置させてなすことができる。

きる。部品の実装位置は、コア配線板に形成された空間であるが、このように支持部材を利用することで、通常のマウンタなど既存の製造装置の利用を図ることができる。

また、実施態様として、前記位置させられた電気／電子部品の前記端子と前記分断された導電層とを導電部材で接続する前記工程は、前記導電部材として半田または導電性樹脂が用いられ得る。利用可能な電気的・機械的接続部材として代表的なものである。

また、実施態様として、前記貫通孔に形成された前記導電層を内蔵すべき電気／電子部品の端子の数に応じて分断する工程は、ドリリング、金型打ち抜き、またはレーザー加工によりなされる。

また、実施態様として、少なくとも上下両面に導電層を有するコア配線板を製造する前記工程は、配線層を4つ有するコア配線板を製造するものであり、かつ、これらの配線層同士の電氣的接続が導電性バンプでなされるように製造され得る。配線層を4つとすることにより、コア配線板の厚さを部品内蔵空間が確保しやすい寸法とし、配線層同士の層間接続を導電性バンプで行なうことにより一層の高密度実装を実現する。

また、実施態様として、内蔵すべき電気／電子部品を位置させるべき空間が生じるように前記製造されたコア配線板に貫通孔を形成する前記工程は、前記貫通孔としてほぼ円形の貫通孔を形成する、とすることができる。

また、実施態様として、内蔵すべき電気／電子部品を位置させるべき空間が生じるように前記製造されたコア配線板に貫通孔を形成する前記工程は、前記貫通孔として横断面外形が複数の円弧からなる貫通孔を形成する、とすることができる。

以上を踏まえ、以下では本発明の実施形態を図面を参照しながら説明する。図1A、図1Bは、本発明の一実施形態に係る部品内蔵配線板の

模式的な構成を示す断面図（図 1 A）および一部平面図（図 1 B）である。

この実施形態は、図 1 A に示すように、絶縁層 1 1 ～ 1 5 を有し、これらの境界付近および上下面に配線層 2 1 ～ 2 6 をそれぞれ有する 6 層配線板である。各隣り合う配線層間の電氣的接続（層間接続）は導電性パンプ 4 1 ～ 4 5 によりなされ、これらの導電性パンプ 4 1 ～ 4 5 は、重疊的に配置され得るようになっている。このような導電性パンプ 4 1 ～ 4 5 により、配線板主面の利用効率が向上し高密度実装に適する。なお、上下面の符号 3 1、3 2 は、半田レジストである。

また、内側の配線層 2 2、2 3、2 4、2 5 の水平レベル内に含まれるように電気／電子部品 3 3（例えばここではチップ抵抗）が内蔵される。部品 3 3 は、その両端子が接続部材としての半田 3 6、3 7 を介して、板厚み方向に形成された導電層 3 4、3 5 に向かい合いかつ電氣的、機械的に接続されている。導電層 3 4、3 5 は、図示するように、内側の配線層 2 2、2 3、2 4、2 5 との直接的な電氣的接続が可能となっている。

部品 3 3 は、平面的に見ると図 1 B に示すように配設されている。すなわち、部品 3 3 を内蔵するため内側の絶縁層 1 2、1 3、1 4 には貫通空間が形成され、この貫通空間は、部品 3 3 および接続するための半田 3 6、3 7 ならびに上下両側の絶縁層 1 1、1 5 の内側へのはみ出し部により占められている。なお、部品 3 3 は、通常、図 1 A に示す厚さの方が図 1 B に示す幅より寸法が小さいが、図 1 A では配線板の厚み方向を強調拡大して示すため部品 3 3 についても厚さの方が大きく表示されている。

具体的な寸法は、部品 3 3 として 0 6 0 3 のチップ抵抗を使用したとき、絶縁層 1 2、1 3、1 4 の合計厚が例えば 0. 2 mm ～ 0. 3 mm

程度となるように、これらの絶縁層 1 2、1 3、1 4 それぞれが 0. 0 6 m m ないし 0. 1 m m 程度の厚さである。

5     なお、各部材料は、絶縁層 1 1 ~ 1 5 には例えばエポキシ樹脂、ポリイミド樹脂、ビスマレイミドトリアジン樹脂など、配線層 2 1 ~ 2 6 や導電層 3 4、3 5 には例えば銅など、導電性バンプ 4 1 ~ 4 5 には、例えば微細な金属粒（銀、銅、金、半田など）を樹脂中に分散させた導電性樹脂などを用いることができる。また、半田 3 6、3 7 については、これに代えて導電性樹脂を用いることができる。

10     この実施形態の構造の配線板では、内蔵された部品 3 3 の周りを絶縁層 1 1、1 5 が覆うように密着し、空隙の発生を防止するので信頼性向上に極めて好ましい。なお、以上の記述では、電気／電子部品 3 3 としてチップ抵抗を例にして説明したが、チップコンデンサ、チップインダクタ、チップダイオードなど端子の配置構造がチップ抵抗とほぼ同じものでは同様な適用が可能である。

15     チップ型ディスクリットトランジスタやパッケージに収められた半導体デバイスなどでも、例えばパッケージたるモールド樹脂の厚さ方向中間からリードピンを水平方向に突起させたものであれば、リードピンの数だけ配線板側に板厚み方向の導電層を分離して形成することで対応が可能である。ベアの半導体チップの場合では、その周縁のなるべく近く  
20     の패드上に突起電極を形設することで、この突起電極を配線板側の導電層との電氣的、機械的接続に使用することができる。

次に、上記のような構造の部品内蔵配線板を製造するプロセスの例を図 2 A、図 2 B、…、図 2 F、ないし図 6 A、図 6 B、図 6 C を参照して説明する。図 2 A、図 2 B、…、図 2 F、ないし図 6 A、図 6 B、図  
25     6 C は、本発明の一実施形態に係る部品内蔵配線板を製造するプロセスを模式的に断面（または一部平面）にて示す図である。これらの図にお

いて、同一相当の部位には同一符号を付してある。また、図 1 A、図 1 B に示す配線板と対応する部位にも同一符号を付してある。

図 2 A、図 2 B、…、図 2 F は、配線板のうちコア配線板（部品が内蔵されるべき層を含む配線板素材）の製造工程を示す断面図である。

5 まず、図 2 A に示すように、銅箔（厚さは例えば  $18\ \mu\text{m}$ ）22 a を用意し、この銅箔 22 a 上の必要な位置（特定の配線板のレイアウトに従う位置）にほぼ円錐形の導電性バンプ 42 a を形成する。これには、例えばスクリーン印刷を用いて導電性ペーストを銅箔 22 a 上に印刷してなすことができる。

10 この場合のスクリーン版には、例えば  $0.2\ \text{mm}$  の貫通孔（ピット）が穿設されたものを用いることができる。これにより、例えば底面径として  $0.15\ \text{mm}$  程度以上の導電性バンプを形成することができる。導電性ペーストとしては、例えばエポキシ樹脂のようなペースト状樹脂の中に金属粒（銀、金、銅、半田など）を分散させ、加えて揮発性の溶剤  
15 を混合させたものを用いることができる。印刷されたあと、例えばオープンで乾燥し導電性ペーストを硬化させる。

次に、専用機を用い、銅箔 22 a に絶縁層 12 とすべきプリプレグ（厚さは例えば  $0.06\ \text{mm}$ ）に対向させて、図 2 B に示すように、導電性バンプ 42 a を半硬化状態のプリプレグに貫通させる。プリプレグ  
20 は、例えば、エポキシ樹脂のような硬化性樹脂をガラス繊維のような補強材に含浸させたものである。また、硬化する前には半硬化状態にあり、熱可塑性（熱による流動性）および熱硬化性を有する。なお、図 2 B に示す状態のものを配線板素材 1 または 1 a もしくは 1 b として後述で参照する（同様の構成を有するものが 1 a もしくは 1 b）。

25 次に、図 2 C に示すように、銅箔（厚さは例えば  $18\ \mu\text{m}$ ）23 a を積層・一体化しプリプレグを硬化させる。このためには、真空積層熱プ

レス機を用いこれを所定の温度および圧力プロファイルに設定する。積層・一体化のとき、導電性バンプ 4 2 a は、頭部がつぶされて塑性変形し（＝導電性バンプ 4 2 となる）、銅箔 2 3 a との電氣的接続が確立する。

- 5 次に、図 2 D に示すように、片側の銅箔 2 3 a を回路パターンニングし配線層 2 3 を形成する。このためには、例えば、まず、銅箔 2 3 a の表面を化学研磨してレジスト用のドライフィルムとの密着性を向上したうえで、レジスト用ドライフィルムを銅箔 2 3 a に積層する。そして、フォトマスクを介して例えば超高圧水銀灯を有するアライメント露光機で  
10 ドライフィルムを露光し、さらに炭酸ナトリウムによってスプレー現像する。この現像パターンドライフィルムを銅箔 2 3 a 上に残すことにより、パターンニングされたレジストが銅箔 2 3 a 上に形成される。

- レジストが銅箔 2 3 a 上に形成されたら、これをマスクにエッチャントとして塩化第 2 鉄をベースとする薬液を用い、レジストパターンとして  
15 抜けた位置の銅箔 2 3 a をスプレーエッチングする。これにより、銅箔 2 3 a から配線層 2 3 が形成される。形成された配線層 2 3 は、このあと積層される絶縁層との密着性を向上するために黒化還元処理を行なっておく。なお、図 2 D に示す状態のものを配線板素材 2 または 2 a として後述で参照する（同様の構成を有するものが 2 a）。

- 20 次に、図 2 E に示すように、パターンニング形成された配線層 2 3 上の必要な位置（特定の配線板のレイアウトに従う位置）にほぼ円錐形の導電性バンプ 4 3 a を形成する。導電性バンプ 4 3 a の形成は、例えば 0. 2 2 mm のピットが穿設されたスクリーン版を用いて導電性バンプ 4 2 a の形成と同様に行なうことができる。スクリーン印刷により形成  
25 された導電性ペーストは、オーブンで乾燥し硬化させておく。なお、導電性バンプ 4 3 a は、導電性バンプ 4 2 と配線層 2 3 をはさんで重疊的



に位置することが可能である。

次に、専用機を用い、絶縁層 1 2 に、絶縁層 1 3 とすべきプリプレグ（厚さは例えば 0. 0 6 m m）を対向させて、図 2 F に示すように、導電性バンプ 4 3 a を半硬化状態のプリプレグに貫通させる。プリプレグは、絶縁層 1 2 の場合と同様のものを用いることができる。なお、図 2 F に示す状態のものを配線板素材 3 として後述で参照する。

図 3 A、図 3 B 1、…、図 3 C 2 は、図 2 F に示した配線板素材 3 と図 2 D に示した配線板素材 2 と同様の構成のもの 2 a とを用いてコア配線板（部品が内蔵されるべき層を含む配線板素材）を形成し、さらにこのコア配線板に部品内蔵用の貫通孔を形成する途中までの製造工程を示す断面図または一部平面図である。

まず、図 3 A に示すように、配線板素材 3 と配線板素材 2 a とを積層・一体化し、かつ絶縁層 1 3 とすべきプリプレグを硬化させる。配線板素材 2 a は、図 2 D に示した配線板素材 2 と同様の構成を有するものであって、かつ導電性バンプ 4 4 と配線層 2 4 とが所定の位置またはパターン（特定の配線板のレイアウトに従う位置またはパターン）に形成されているものである。

積層・一体化には、例えばレイアップ装置で位置合わせを行い配線板素材 3 と配線板素材 2 a とを重ねて配置し、かつ真空積層熱プレス機を用いこれを所定の温度および圧力プロファイルに設定する。この積層・一体化により導電性バンプ 4 3 a は、頭部がつぶされて塑性変形し（＝導電性バンプ 4 3 となる）、配線層 2 4 との電氣的接続が確立する。また、配線層 2 4 は、絶縁層 1 3 となるべきプリプレグの熱可塑性（熱による流動性）により絶縁層 1 3 側へ沈み込んで位置するようになる。

以上によりコア配線板が形成されたことになる。この実施形態では、このように 4 つの配線層（または銅箔） 2 2 a、2 3、2 4、2 5 a を

有するコア配線板を形成したが、配線層数は4に限られることはない。  
例えば2、6、8、…のような偶数の配線層を有する場合や、3、5、  
7、…のような奇数の配線層を有する場合であってもよい。これらの配  
線層数の場合も、以上説明した工程を応用することにより形成すること  
5 ができる。

例えば、6の場合であれば、図3Aに示す4層配線板（ただし片面の  
銅箔をパターンニング形成したもの）と図2Fに示す配線板素材3の構成  
のものとを積層・一体化することにより得られる。また、3の場合であ  
れば、図2Bに示す配線板素材1に代えて図2Fに示す配線板素材3の  
10 構成のものをを用い、これに対して図2Cに示す工程を行なうことにより  
得られる。同様に、適宜組み合わせればそのほかの層数のものも得られ  
る。

また、この実施形態では、プリプレグを貫通する高さに層間接続たる  
導電性バンプ42a、43a、44aが形成される必要があり、かつ、  
15 導電性バンプ42a、43a、44aの形成高さにはある程度制限がある  
るので、コア配線板の配線層数は、これに内蔵する部品の厚さを考慮し  
て好ましい数が存在する。上記の説明の場合では、絶縁層12、13、  
14をそれぞれ0.06mm厚とし、総厚を約0.2mm程度として0  
603または1005サイズのチップ抵抗が収まるように考えている。  
20 0.06mm厚の絶縁層12、13、14であれば、底面径が150μ  
m程度以上である導電性バンプ42a、43a、44aの形成高さで、  
容易に十分な貫通ができる。これらの結果、配線層数が4となったもの  
である。

ただし、導電性バンプ42a、43a、44aの形成高さをより高く  
25 すればより厚いプリプレグを貫通させることが可能であり、この結果、  
同じ部品33を内蔵するとしてもコア配線板の配線層の数を少なくする

ことができる。逆に、導電性バンプ 4 2 a、4 3 a、4 4 a の形成高さをより低くすればより薄いプリプレグを用いることになり、この結果コア配線板の配線層の数を多くすることができる。

さらに、この実施形態では、コア配線板の層間接続が導電性バンプ 4 2、4 3、4 4 で行なわれる構成としているが、これに限らず、配線板として高密度の実装性は劣るが例えば周知のスルーホールによるものであってもよい。

プロセスの説明を続けるに、コア配線板が形成されたら、次に、図 3 B 1、B 2 に示すように、コア配線板の必要な位置に貫通孔 5 1 を形成する。貫通孔 5 1 は、内蔵部品との接続に用いる、板厚み方向の導電層を形成するためのものであり、かつ内蔵部品を位置させる空間の一部となるものである。ここでは、貫通孔 5 1 として 0.4 mm 径の NC (numerical control) ドリルを用いほぼ隣接するように内蔵部品 1 つについて 2 つ設ける。ドリルにより孔を明けたら、孔内を、例えば高圧水洗浄および所定の薬液を用いるデスミア処理で洗浄しておく。

次に、図 3 C 1、C 2 に示すように、貫通孔 5 1 の内壁面を含むように例えば銅のめっき層 5 2 を例えば 20  $\mu$ m 厚で形成する。めっき層 5 2 の形成には、例えば、まず、化学銅めっきのような無電解めっきにより連続面のシード層を形成し、そのあと、形成されたシード層を種に例えば硫酸銅めっき浴にて電解めっき処理することよりなすことができる。このような 2 段階のめっきにより効率的にめっき層 5 2 を形成することができる。なお、貫通孔 5 1 に形成されためっき層 5 2 は、図示するように、コア配線板の中間にある配線層 2 3、2 4 とともに電氣的接続され得る。

図 4 A 1、図 4 A 2、図 4 B は、コア配線板に部品内蔵用の貫通孔を形成する残りの製造工程を示す断面図または一部平面図である。

図 3 C 1、C 2 に示すようにめっき層 5 2 が形成されたら、次に、両面の銅箔 2 2 a、2 5 a（、および両面に位置するめっき層 5 2）にパターンニング形成を施し配線層 2 2、2 5 を形成する。このパターンニングは、それぞれ、図 2 D を参照した配線層 2 3 の形成工程と同様に行なうことができる。すなわち、化学研磨、レジスト用ドライフィルム積層、フォトリソを介する露光、現像、エッチングという手順である。形成された配線層 2 2、2 5 は、図 4 A 2 に示すように、貫通孔 5 1 の内壁面に形成されためっき層 5 2 に対してのランド部分（その径は例えば 0.8 mm）を含む。

- 10 次に、図 4 B に示すように、貫通孔 5 1 内壁面のめっき層 5 2 を分断し、かつ内蔵部品との接続部である導電層 3 4、3 5 を独立形成するようにコア配線板を加工する。ここでの加工方法は、NC ドリルを用いた孔明けによる。すなわち、貫通孔 5 1 が並ぶ方向と垂直に交わるコア配線板上位置に、0.8 mm 径のめっき層分断貫通孔 5 3 を 2 つほぼ隣接して明ける。このようなドリルによるめっき層 5 2 の分断によれば、既存の装置を用いて容易に導電層 3 4、3 5 を分断形成することができる。

- また、ここでめっき層分断貫通孔 5 3 を図示のように貫通孔 5 1 に対して大きめに形成すると、このあとの部品実装工程において部品が正常に実装されなかった場合に、このめっき層分断貫通孔 5 3 を部品実装のリペアのための空間として機能させることができる利点がある。

- 20 なお、めっき層分断貫通孔 5 3 は、上記のような 2 つの孔の組み合わせに限らず、2 つの貫通孔 5 1 のちょうど真中を中心とするひとつの孔によって形成するようにしてもよい。この場合、リペアのための空間は小さくなるが、めっき層分断のための孔形成がひとつで済むので効率は向上する。

以上により、部品を内蔵するための空間（貫通孔 5 1 とめっき層分断

貫通孔 5 3 とによる空間) が形成されたコア配線板を得ることができる。ちなみに、上記でめっき層 5 2 の分断は、ドリリングによらなくてもなすことは可能である。例えば金型による打ち抜き (パンチング) や切削機を用いる方法が挙げられる。

5 図 5 A、図 5 B 1、図 5 B 2 は、コア配線板に部品を内蔵するための部品実装工程を示す断面図または一部平面図である。まず、図 5 A に示すように、コア配線板の片側面を支持部材 6 1 にあてがい、この状態において、マウンタなどの実装機器により所定位置 (内蔵するための空間) に部品 3 3 を位置させる。ここで、支持部材 6 1 の面上は、粘着層 10 6 1 a を設けるようにするとより好ましい。粘着層 6 1 a により、マウントされた部品 3 3 がある程度固定されて次工程に供することができるからである。

15 なお、このような粘着層 6 1 a を有する支持部材 6 1 に代えて、耐熱性の粘着テープ (または耐熱性の粘着シート) をコア配線板の片面に張り付けるようにしてもよい。

次に、図 5 B 1、B 2 に示すように、部品 3 3 の両端子付近の所定位置にクリーム半田 3 6 a、3 7 a (半田は、例えば  $\text{Sn}-3.0\text{Ag}-0.5\text{Cu}$  の鉛フリーのもの) を塗布する。このような塗布は、例えばスクリーン印刷またはディスペンサにより行なうことができる。ここで 20 は、0.5 mm 径のピットを有するスクリーン版によるスクリーン印刷を用いた。なお、クリーム半田 3 6 a、3 7 a は、これに代えて導電性ペーストを用いてもよい。

図 6 A、図 6 B、図 6 C は、部品の実装されたコア配線板を用いて完成品としての部品内蔵配線板を形成する工程を断面で示す図である。図 25 5 B 1、B 2 に示すようにクリーム半田 3 6 a、3 7 a をコア配線板上に塗布したら、次に、クリーム半田 3 6 a、3 7 a をリフロー炉でリフ

ローさせる。これにより、図 6 A に示すような状態となり、接続部材としての半田 3 6、3 7 が導電層 3 4、3 5 と部品 3 3 の端子との電氣的・機械的接続を確立する。なお、クリーム半田 3 6 a、3 7 a に代えて導電性ペーストを用いた場合には、これを例えばオープンで乾燥させ硬化させて電氣的・機械的接続を確立する。

以上により得られた部品装着のコア配線板 4 は、その両面の配線層 2 2、2 5 についてこのあと積層される絶縁層との密着性を向上するため黒化還元処理を行なっておく。

次に、図 6 B に示すように、コア配線板 4 の両側に配線板素材 1 a、1 b を積層し、これらを一体化する。このとき絶縁層 1 1、1 5 とすべきプリプレグを硬化させる。配線板素材 1 a、1 b は、図 2 B に示した配線板素材 1 と同様の構成を有するものであって、かつ導電性バンプ 4 1 または 4 5 が所定の位置（特定の配線板のレイアウトに従う位置）に形成されているものである。

この積層・一体化には、例えばレイアップ装置で位置合わせを行いコア配線板 4 と配線板素材 1 a、1 b とを重ねて配置し、かつ真空積層熱プレス機を用いこれを所定の温度および圧力プロファイルに設定する。この積層・一体化により導電性バンプ 4 1、4 5 は、頭部がつぶされて塑性変形し、配線層 2 2 または 2 5 との電氣的接続が確立する。

また、配線層 2 2 は、絶縁層 1 1 となるべきプリプレグの熱可塑性（熱による流動性）により絶縁層 1 1 側へ沈み込んで位置し、配線層 2 5 は、絶縁層 1 5 となるべきプリプレグの熱可塑性（熱による流動性）により絶縁層 1 5 側へ沈み込んで位置するようになる。さらに、絶縁層 1 1、1 5 となるべきプリプレグの熱可塑性（熱による流動性）により、内蔵された部品 3 3 を覆いかつ密着するようにその周辺にも絶縁層が絶縁層 1 1、1 5 と一体的に形成される。これにより部品 3 3 周りの穴埋

め工程は不要であり工程の簡素化が実現するとともに、間隙（ボイド）の発生を防止して信頼性を向上できる。

5      なお、外側に積層する配線板素材は図 2 B に示す形態のものに代えて、さらに配線層数が多いものでもよい。例えば、図 2 F に示す 2 つの配線層を有するもの、同様に 3 以上の配線層を有するものでもよい。また、外側に積層する配線板素材は、必ずしも、図 2 B に示すように導電性バンプ 4 2 a を伴っていないなくてもよい。この場合、導電性バンプ 4 2 a が  
10      ないので、銅箔 2 1 a （2 6 a）と配線層 2 2 （2 5）との層間接続は、導電性バンプによって行なうことはできないが、積層後の配線板にスルーホールを設けてこのスルーホールによりこれらの層間接続を行なうことができる。

15      外側に位置すべき絶縁層をコア配線板と積層・一体化したら、次に、図 6 C に示すように、両外側の銅箔 2 1 a、2 5 a に対してパターンニング形成を施し配線層 2 1、2 6 を形成する。このパターンニングは、それぞれ、図 2 D を参照した配線層 2 3 の形成工程と同様に行なうことができる。すなわち、化学研磨、レジスト用ドライフィルム積層、フォトマスクを介する露光、現像、エッチングという手順である。なお、以上の外側絶縁層 1 1、1 5 の形成のあと、さらにこの外側に同様の要領により絶縁層を積層・一体化（ビルドアップ）してもよい。

20      次に、図 6 C に示すように、最外側面の所定の位置に半田レジスト 3 1、3 2 を形成する。さらに、配線層 2 1 または 2 6 の半田レジストの形成されない部位には腐蝕防止のため無電解めっき法によりニッケル／金（ニッケルが下地）の層（図示せず）を形成する。そして、配線板をルータ加工機により所定の外形となるように切り出す。以上により本実  
25      施形態に係る部品内蔵配線板を得ることができる。

この実施形態では、製造設備として既存のものをほとんどそのまま使

用することができ、配線板の製造コストの抑制につながる。また、層間接続に、重疊的位置への配置が可能な導電性バンプ 4 1 ~ 4 5 を用いたので配線長を短くして効率的かつ電気的特性を向上して配線板としてレイアウトができる。特に、比較的実装点数が多くなるチップ抵抗、チップコンデンサを内蔵できるので、現行設計ルールの緩和および一層の高密度実装が可能である。

次に、本発明の別の実施形態に係る部品内蔵配線板を図 7 A、図 7 B を参照して説明する。図 7 A、図 7 B は、本発明の別の実施形態に係る部品内蔵配線板の模式的な構成を示す断面図（図 7 A）および一部平面図（図 7 B）である。

この実施形態は、上記の図 1 A、図 1 B に示した実施形態たる部品内蔵配線板の変形例であって、電気／電子部品 3 3 をより円滑に配置するためコア配線板に形成する貫通部の形状を異ならせたものである。また、ここでは一例としてコア配線板は、4 層の配線層を有するものから 2 層の配線層を有するものに変更している。図 7 A、図 7 B において、すでに説明した部位と同一相当のものには同一符合を付し、その説明は可能な限り省略する。

図 7 A に示すように、この部品内蔵配線板は、絶縁層 1 1、1 1 2、1 1 4、1 5 を有し、絶縁層 1 1、1 1 2 の境界付近、絶縁層 1 1 4、1 5 の境界付近、および上下面に配線層 2 1、2 2、2 5、2 6 をそれぞれ有する 4 層配線板である。内側の配線層 2 2、2 3 間の層間接続は、縦方向の導電層 3 4 A、3 5 A によるもの以外は図示していないが、導電性組成物によるいわゆるブラインドビアなどの形成により行うことも可能である。

部品 3 3 は、平面的に見ると図 7 B に示すように配設されている。半田 3 6、3 7 は、導電層 3 4 A、3 5 A の横方向端部（＝製造工程上バ



りの発生があり得る。詳しくは後述。)までは達していない。絶縁層 1 1 2、1 1 4 は、単一の層のものをを用いてもよいが、この実施形態では 2 つの層の積層により所定の厚さを得ている。

この実施形態の構造の配線板は、図 1 A、図 1 B に示したものと同様に、内蔵された部品 3 3 の周りを絶縁層 1 1、1 5 が覆うように密着し、空隙の発生を防止するので信頼性向上に極めて好ましい。また、半田 3 6、3 7 が、導電層 3 4 A、3 5 A の横方向端部まで達していないので、部品 3 3 や半田 3 6、3 7 を配置する工程がより容易になる(詳しくは後述)。

上記のような構造の部品内蔵配線板を製造するプロセスの例を図 8 A、図 8 B 1、…、図 8 C 2、ないし図 1 2 A、図 1 2 B、図 1 2 C を参照して説明する。図 8 A、図 8 B 1、…、図 8 C 2、ないし図 1 2 A、図 1 2 B、図 1 2 C は、本発明の別の実施形態に係る部品内蔵配線板を製造するプロセスを模式的に断面(または一部平面)にて示す図である。

これらの図において、同一相当の部位には同一符号を付してある。また、図 7 A、図 7 B に示す配線板と対応する部位にも同一符号を付してある。

図 8 A、図 8 B 1、…、図 8 C 2 は、コア配線板(部品が内蔵されるべき層を含む配線板素材)に部品内蔵用の貫通孔を形成する途中までの製造工程を示す断面図または一部平面図である。まず、図 8 A に示すように、絶縁板 1 1 2、1 1 4 が積層され、その上下面に銅箔(厚さは例えば  $18 \mu\text{m}$ ) 2 2 a、2 5 a が配設された両面銅張り板を用意する。これがコア配線板になる。

コア配線板が用意されたら、次に、図 8 B 1、B 2 に示すように、コア配線板の必要な位置に円形の貫通孔 5 1 A を形成する。貫通孔 5 1 A は、内蔵部品との接続に用いる、板厚み方向の導電層を形成するためのものであり、かつ内蔵部品を位置させる空間となるものである。ここで

5 こともできる。

は、図 3 C 1、C 2 に示したものと同様である。

貫通孔 5 1 A の形成として説明したが、いわゆるブラインドビアによる層間接続の形成工程としての説明にもほぼなっている。すなわち、銅箔 2 2 a 、 2 5 a による配線層の間の電氣的接続が必要な場合には、貫通孔 5 1 A と同様な孔（ただし直径はそれより小）を形成し、さらにその内壁面にめっき層を形成すれば層間接続を形成することができる。

15 図 9 A 1、図 9 A 2、図 9 B 1、図 9 B 2 は、コア配線板に部品内蔵用の貫通孔を形成する残りの製造工程を示す断面図または一部平面図である。

20 に位置するめっき層 5 2) にパターンニングを施し配線層 2 2、2 5 を形成する。これは、図 4 A 1、A 2 での説明と同様である。形成された配線層 2 2、2 5 は、このあと積層される絶縁層との密着性を向上するために黒化還元処理を行なっておく（これは、後述する図 1 2 A の段階でもよい。）。形成された配線層 2 2、2 5 は、図 9 A 2 に示すように、貫  
25 通孔 5 1 A の内壁面に形成されためっき層 5 2 に対してのランド部分（その外径は例えば 1.2 mm）を含む。

次に、図 9 B 1 に示すように、貫通孔 5 1 A 内壁面のめっき層 5 2 を分断して内蔵部品との接続部である導電層 3 4 A、3 5 A を独立形成するようにコア配線板を加工する。ここでの加工方法は、NC ドリルを用いた孔明けによる。すなわち、貫通孔 5 1 A の外形上向い合う位置に貫通孔 5 1 A より小さい直径（例えば 0.5 mm）の孔（めっき層分断貫通孔）5 3 A を明ける。このようなドリルによるめっき層 5 2 の分断によれば、既存の装置を用いて容易に導電層 3 4、3 5 を分断形成することができる。

また、めっき層 5 2 の分断が、貫通孔 5 1 A の直径に対して小さい直径の孔 5 3 A によりなされるので、独立形成される導電層 3 4 A、3 5 A の横方向寸法は比較的大きな幅になる。このため、図 9 B 2 に示すように孔 5 3 A の形成によるバリ 1 5 3（主にめっき層 5 2 が剥離して切除されずに残ったもの。）が導電層 3 4 A、3 5 A との境界に発生する場合にも、このバリ 1 5 3 が内蔵部品の実装に干渉することを防止できる。換言すると、バリ 1 5 3 が発生してもこれを取り除く工程を特に必要としないので生産性を向上できる（図 10 B 3 でも言及する。）。なお、バリ 1 5 3 は、孔 5 3 A を明けるドリルの刃の劣化が進むとより発生しやすいことが分かっている。

以上により、部品を内蔵するための空間（貫通孔 5 1 A による空間）が形成されたコア配線板を得ることができる。なお、上記でめっき層 5 2 の分断は、ドリリングによらなくてもなすことは可能である。例えば金型による打ち抜き（パンチング）や切削機、またはレーザ加工を用いる方法が挙げられる。

図 10 A、図 10 B 1、図 10 B 2、図 10 B 3 は、コア配線板に部品を内蔵するための部品実装工程を示す断面図または一部平面図である。まず、図 10 A に示すように、コア配線板の片側面を支持部材 6 1 にあ

てがい、この状態において、マウンタなどの実装機器により所定位置（内蔵するための空間）に部品 3 3 を位置させる。これは、図 5 A に示したものと同様である。

次に、図 1 0 B 1、B 2 に示すように、部品 3 3 の両端子付近の所定位置にクリーム半田 3 6 a、3 7 a（半田は、例えば S n - 3 . 0 A g - 0 . 5 C u の鉛フリーのもの）を塗布する。これは、図 5 B 1 に示したものと同様である。

ここで、部品 3 3 のマウント、およびクリーム半田 3 6 a、3 7 a の塗布においては、図 1 0 B 3 に示すように、部品接続用の導電層 3 4 A（3 5 A）の横方向端部にバリ 1 5 3 が生じている場合にも、これらの工程への干渉が生じない。すなわち、導電層 3 4 A（3 5 A）の横方向寸法が部品 3 3 に対して大きく確保されており、バリ 1 5 3 の発生位置を避けて部品 3 3 のマウント、およびクリーム半田 3 6 a、3 7 a の塗布が可能だからである。

次に、次工程の準備として、部品の実装されたコア配線板の両面に積層すべき絶縁層および導電層を形成する工程について図 1 1 A、図 1 1 B を参照して説明する。図 1 1 A、図 1 1 B は、コア配線板上に積層するための配線板素材を形成する工程を示す断面図である。このような絶縁層および導電層はあらかじめ配線板素材として形成しておく。

図 1 1 A、図 1 1 B についての説明は、参照符合が異なるが、それぞれ、図 2 A、図 2 B の説明と一致する。すなわち、銅箔 2 1 a（2 6 a）を銅箔 2 2 a と、導電性バンプ 4 1 a（4 5 a）を導電性バンプ 4 2 a と、絶縁層 1 1（1 5）を絶縁層 1 2 と、それぞれ読み替えれば同じになる。図 1 1 B に示す状態のものを配線板素材 1 a または 1 b として後述で参照する。

図 1 2 A、図 1 2 B、図 1 2 C は、部品の実装されたコア配線板を用

いて完成品としての部品内蔵配線板を形成する工程を断面で示す図である。図 10 B 1、B 2 に示すようにクリーム半田 3 6 a、3 7 a をコア配線板上に塗布したら、次に、クリーム半田 3 6 a、3 7 a をリフロー炉でリフローさせる。これにより、図 1 2 A に示すような状態となり、

- 5 接続部材としての半田 3 6、3 7 が導電層 3 4 A、3 5 A と部品 3 3 の端子との電氣的・機械的接続を確立する。これは、図 6 A の説明と同様である。

- 次に、図 1 2 B に示すように、部品 3 3 の実装されたコア配線板 4 A の両側に配線板素材 1 a、1 b を積層し、これらを一体化する。このとき絶縁層 1 1、1 5 とすべきプリプレグを硬化させる。配線板素材 1 a、1 b は、図 1 1 A、図 1 1 B に示したようにして得られたものである。この工程の積層・一体化は、図 6 B での説明と同様である。これにより部品 3 3 周りの穴埋め工程は不要であり工程の簡素化が実現するとともに、間隙（ボイド）の発生を防止して信頼性を向上できる。

- 15 なお、外側に積層する配線板素材 1 a、1 b は図 1 1 B に示す形態のものに代えて、さらに配線層数が多いものでもよい（例えば、図 1 1 A に示す銅箔 2 1 a の代わりにパターンニング後の両面銅張り板を用いれば、図 1 1 B の段階では配線層数は 2 つになる。）。また、外側に積層する配線板素材 1 a、1 b は、必ずしも、図 1 1 B に示すように導電性バンプ 20 4 1 a（4 5 a）を伴っていなくてもよい。これらは、図 6 B に示した工程と同様である。

- 外側に位置すべき絶縁層をコア配線板 4 と積層・一体化したら、次に、図 1 2 C に示すように、両外側の銅箔 2 1 a、2 6 a に対してパターンニングを施し配線層 2 1、2 6 を形成する。また、最外側面の所定の位置に半田レジスト 3 1、3 2 の層を形成する。これらは、図 6 C に示したものと同様である。以上により本実施形態に係る部品内蔵配線板を得る

ことができる。

この実施形態は、特に、半田 3 6、3 7 が導電層 3 4 A、3 5 A の横方向端部まで達していないので、部品 3 3 や半田 3 6、3 7 を配置する工程がより容易になる利点がある。

- 5      なお、以上の実施形態では、コア配線板 4 A として、絶縁板 1 1 2、1 1 4 を積層した構造の両面銅張り板を素材に用いたが、当然ながら、図 1 A から図 6 C までで説明された実施形態と同様な 4 層配線板を用いてもよい。

- 10      次に、本発明のさらに別の実施形態に係る部品内蔵配線板を図 1 3 A、図 1 3 B を参照して説明する。図 1 3 A、図 1 3 B は、本発明のさらに別の実施形態に係る部品内蔵配線板の模式的な構成を示す断面図（図 1 3 A）および一部平面図（図 1 3 B）である。

- 15      この実施形態も、上記の図 1 A、図 1 B に示した実施形態たる部品内蔵配線板の変形例であって、上記の図 7 A から図 1 2 C で説明された実施形態と同趣旨の改良を加えたものである。また、ここでは一例としてコア配線板は、上記と同様に、4 層の配線層を有するものから 2 層の配線層を有するものに変更している。図 1 3 A、図 1 3 B において、すでに説明した部位と同一相当のものには同一符合を付し、その説明は可能な限り省略する。

- 20      この実施形態では、部品 3 3 は、平面的に見ると図 1 3 B に示すように配設されている。すなわち、部品 3 3 を内蔵するため内側の絶縁層 1 1 2、1 1 4 には、横断面外形が複数の円弧からなる貫通空間が形成され、この貫通空間は、部品 3 3 および接続するための半田 3 6、3 7 ならびに上下両側の絶縁層 1 1、1 5 の内側へのはみ出し部により占められている。半田 3 6、3 7 は、導電層 3 4 B、3 5 B の横方向端部（＝製造工程上バリの発生があり得る。）までは達していない。したがって、
- 25

やはり部品 3 3 や半田 3 6、3 7 を配置する工程がより容易になる

上記のような構造の部品内蔵配線板を製造するプロセスの例を図 1 4 A、図 1 4 B 1、…、図 1 4 C 2、ないし図 1 7 A、図 1 7 B、図 1 7 C を参照して説明する。図 1 4 A、図 1 4 B 1、…、図 1 4 C 2、ないし図 1 7 A、図 1 7 B、図 1 7 C は、本発明のさらに別の実施形態に係る部品内蔵配線板を製造するプロセスを模式的に断面（または一部平面）にて示す図である。これらの図において、同一相当の部位には同一符号を付してある。また、図 1 3 A、図 1 3 B に示す配線板と対応する部位にも同一符号を付してある。

10 図 1 4 A、図 1 4 B 1、…、図 1 4 C 2 は、コア配線板（部品が内蔵されるべき層を含む配線板素材）に部品内蔵用の貫通孔を形成する途中までの製造工程を示す断面図または一部平面図である。まず、図 1 4 A に示すように、コア配線板とすべき両面銅張り板を用意する。これは、図 8 A と同じである。

15 コア配線板が用意されたら、次に、図 1 4 B 1、B 2 に示すように、コア配線板の必要な位置に、外形（横断面外形）が複数の円弧からなる貫通孔 5 1 B を形成する。貫通孔 5 1 B は、内蔵部品との接続に用いる、板厚み方向の導電層を形成するためのものであり、かつ内蔵部品を位置させる空間となるものである。ここでは、貫通孔 5 1 B を形成するのに、  
20 縦横とも 0.3 mm である十字形の各端部（4 箇所）に 0.5 mm 径の NC（numerical control）ドリルを用いて穴明けする（これにより、ここでの形態では貫通孔 5 1 B の横断面外形は図示するように 4 つの円弧からなる。）。ドリルにより孔を明けたら、孔内を、例えば高圧水洗浄および所定の薬液を用いるデスミア処理で洗浄しておく。なお、貫通孔  
25 5 1 B の形成に金型打ち抜きを用いることもできる。

次に、図 1 4 C 1、C 2 に示すように、貫通孔 5 1 B の内壁面を含む

ように例えば銅のめっき層 5 2 を例えば  $20\ \mu\text{m}$  厚で形成する。この工程は、図 3 C 1、C 2 に示したものと同様である。

図 1 5 A 1、図 1 5 A 2、図 1 5 B 1、図 1 5 B 2 は、コア配線板に部品内蔵用の貫通孔を形成する残りの製造工程を示す断面図または一部平面図である。

図 1 4 C 1、C 2 に示すようにめっき層 5 2 が形成されたら、次に、図 1 5 A 1、A 2 に示すように、両面の銅箔 2 2 a、2 5 a（、および両面に位置するめっき層 5 2）にパターンニングを施し配線層 2 2、2 5 を形成する。これは、図 4 A 1、A 2 での説明と同様である。形成された配線層 2 2、2 5 は、このあと積層される絶縁層との密着性を向上するために黒化還元処理を行なっておく（これは、後述する図 1 7 A の段階でもよい。）。形成された配線層 2 2、2 5 は、図 1 5 A 2 に示すように、貫通孔 5 1 B の内壁面に形成されためっき層 5 2 に対してのランド部分（その幅は例えば  $0.2\ \text{mm}$ ）を含む。

次に、図 1 5 B 1 に示すように、貫通孔 5 1 B 内壁面のめっき層 5 2 を分断して内蔵部品との接続部である導電層 3 4 B、3 5 B を独立形成するようにコア配線板を加工する。ここでの加工方法は、NCドリルを用いた孔明けによる。すなわち、貫通孔 5 1 B の外形輪郭線にかかる向い合う位置に例えば直径  $0.4\sim 0.5\ \text{mm}$  程度の孔（めっき層分断貫通孔）5 3 B を明ける。このようなドリルによるめっき層 5 2 の分断によれば、既存の装置を用いて容易に導電層 3 4、3 5 を分断形成することができる。

ここで、めっき層分断貫通孔 5 3 B の直径は貫通孔 5 1 B 全体の最大幅の半分程度とし、これにより、独立形成される導電層 3 4 B、3 5 B の横方向寸法が内蔵実装される部品の幅に対して余裕を有するようにする。このようにすると、図 1 5 B 2 に示すように孔 5 3 B の形成によっ



てバリ 1 5 3（主にめっき層 5 2 が剥離して切除されずに残ったもの。）が導電層 3 4 B、3 5 B との境界に発生する場合にも、このバリ 1 5 3 が内蔵部品の実装に干渉することを防止できる。換言すると、バリ 1 5 3 が発生してもこれを取り除く工程を特に必要としないので生産性を向上できる。

以上により、部品を内蔵するための空間（貫通孔 5 1 B による空間）が形成されたコア配線板を得ることができる。

図 1 6 A、図 1 6 B 1、図 1 6 B 2、図 1 6 B 3 は、コア配線板に部品を内蔵するための部品実装工程を示す断面図または一部平面図である。

10 まず、図 1 6 A に示すように、コア配線板の片側面を支持部材 6 1 にあてがい、この状態において、マウンタなどの実装機器により所定位置（内蔵するための空間）に部品 3 3 を位置させる。これは、図 5 A に示したものと同様である。

次に、図 1 0 B 1、B 2 に示すように、部品 3 3 の両端子付近の所定位置にクリーム半田 3 6 a、3 7 a（半田は、例えば  $\text{Sn}-3.0\text{Ag}-0.5\text{Cu}$  の鉛フリーのもの）を塗布する。これは、図 5 B 1 に示したものと同様である。

ここで、部品 3 3 のマウント、およびクリーム半田 3 6 a、3 7 a の塗布においては、図 1 6 B 3 に示すように、部品接続用の導電層 3 4 B（3 5 B）の横方向端部にバリ 1 5 3 が生じている場合にも、これらの工程への干渉が生じない。すなわち、導電層 3 4 B（3 5 B）の横方向寸法が部品 3 3 に対して大きく確保されており、バリ 1 5 3 の発生位置を避けて部品 3 3 のマウント、およびクリーム半田 3 6 a、3 7 a の塗布が可能だからである。この意味で、部品 3 3 を位置させるためあらかじめ形成する貫通孔 5 1 B は、その横断面外形が 4 つの円弧に限らずさらに多数の円弧からなるように形成されていてもよい。

図 1 7 A、図 1 7 B、図 1 7 C は、部品の実装されたコア配線板を用いて完成品としての部品内蔵配線板を形成する工程を断面で示す図である。図 1 6 B 1、B 2 に示すようにクリーム半田 3 6 a、3 7 a をコア配線板上に塗布したら、次に、クリーム半田 3 6 a、3 7 a をリフロー  
5 炉でリフローさせる。これにより、図 1 7 A に示すような状態となり、接続部材としての半田 3 6、3 7 が導電層 3 4 B、3 5 B と部品 3 3 の端子との電氣的・機械的接続を確立する。これは、図 6 A の説明と同様である。

次に、図 1 7 B に示すように、コア配線板 4 B の両側に配線板素材 1  
10 a、1 b（図 1 1 A、図 1 1 B を参照）を積層し、これらを一体化する。このとき絶縁層 1 1、1 5 とすべきプリプレグを硬化させる。この積層・一体化の工程は、図 6 B での説明と同様である。これにより部品 3 3 周りの穴埋め工程は不要であり工程の簡素化が実現するとともに、間隙（ボイド）の発生を防止して信頼性を向上できる。

15 外側に位置すべき絶縁層をコア配線板 4 B と積層・一体化したら、次に、図 1 7 C に示すように、両外側の銅箔 2 1 a、2 6 a に対してパターンニングを施し配線層 2 1、2 6 を形成する。また、最外側面の所定の位置に半田レジスト 3 1、3 2 の層を形成する。これらは、図 6 C に示したものと同様である。以上により本実施形態に係る部品内蔵配線板を  
20 得ることができる。

この実施形態も、特に、半田 3 6、3 7 が導電層 3 4 B、3 5 B の横方向端部まで達していないので、部品 3 3 や半田 3 6、3 7 を配置する工程がより容易になる利点がある。

## 25 産業上の利用可能性

本発明に係る部品内蔵配線板は、部品実装用基板の製造産業において

製造することができ、また、電子機器の製造産業全般において使用することができる。本発明に係る部品内蔵配線板の製造方法は、部品実装用基板の製造産業において使用することができる。したがって、いずれも産業上の利用可能性を有する。

## 請 求 の 範 囲

1. 板厚み方向に形成されかつ板上下面には表出せずに埋設されている導電層と、

5 端子を有し、前記埋設された導電層に前記端子が対向するように板内埋設された電気／電子部品と、

前記埋設された電気／電子部品の前記端子と前記導電層との間隙に設けられて前記端子と前記導電層とを電氣的・機械的に接続する接続部材と、

10 前記埋設された電気／電子部品の外表面のうち前記接続部材に接続される部位以外を覆いかつ前記電気／電子部品の板厚み方向上下に密着するように設けられた上下2つの絶縁層と

を具備する部品内蔵配線板。

2. 前記電気／電子部品が、半導体チップ、半導体パッケージ、チップ  
15 コンデンサ、チップ抵抗、またはチップインダクタである請求項1記載の部品内蔵配線板。

3. 前記導電層が横方向に電氣的接続し得る配線層をさらに具備し、その数が4である請求項1記載の部品内蔵配線板。

4. 前記配線層が、互いの間の電氣的導通が導電性バンプによりなされ  
20 ている請求項3記載の部品内蔵配線板。

5. 前記導電性バンプが、前記配線層をはさんで重疊的に位置している請求項4記載の部品内蔵配線板。

6. 前記上下2つの絶縁層の内側面それぞれに接触して設けられた2つの内層配線層と、

25 前記上下2つの絶縁層の外側面それぞれに接触して設けられた2つの外層配線層とをさらに具備し、

前記上下2つの絶縁層それぞれをはさむ前記内層配線層と前記外層配線層との電氣的導通が導電性バンプによりなされている請求項1記載の部品内蔵配線板。

7. 前記接続部材が、半田または導電性樹脂である請求項1記載の部品内蔵配線板。

8. 前記接続部材が、前記導電層の横方向端部に接触していない請求項1記載の部品内蔵配線板。

9. 前記導電層が、横断面形状として複数の円弧からなる形状である請求項1記載の部品内蔵配線板。

10 10. 少なくとも上下両面に導電層を有するコア配線板を製造する工程と、

前記製造されたコア配線板に貫通孔を形成する工程と、

前記形成された貫通孔の内表面を含むように導電層を形成する工程と、

前記上下両面の導電層をパターンニングする工程と、

15 前記貫通孔に形成された前記導電層を内蔵すべき電気／電子部品の端子の数に応じて分断し、かつ、内蔵すべき電気／電子部品を位置させるべき空間が生じるように、前記製造されたコア配線板を加工する工程と、

前記空間に電気／電子部品を位置させる工程と、

20 前記位置させられた電気／電子部品の前記端子と前記分断された導電層とを導電部材で接続する工程と、

前記導電部材により前記電気／電子部品が接続された前記コア配線板の上下両面それぞれに重ねてかつ前記電気／電子部品の周りを充填するように絶縁層を積層形成する工程と

を具備することを特徴とする部品内蔵配線板の製造方法。

25 11. 少なくとも上下両面に導電層を有するコア配線板を製造する前記工程が、配線層を4つ有するコア配線板を製造するものであり、かつ、

これらの配線層同士の電氣的接続が導電性バンプでなされるように製造される請求項 10 記載の部品内蔵配線板の製造方法。

12. 前記形成された貫通孔の内表面を含むように導電層を形成する前記工程が、無電解めっきにより下地となる導電層を形成する工程と、前記形成された下地を種に用いて電解めっきにより上層となる導電層を形成する工程とを有する請求項 10 記載の部品内蔵配線板の製造方法。

13. 前記貫通孔に形成された前記導電層を内蔵すべき電気／電子部品の端子の数に応じて分断し、かつ、内蔵すべき電気／電子部品を位置させるべき空間が生じるように、前記製造されたコア配線板を加工する前記工程が、ドリリングまたは金型打ち抜きによりなされる請求項 10 記載の部品内蔵配線板の製造方法。

14. 前記空間に電気／電子部品を位置させる前記工程が、前記空間からのぞく前記コア配線板の下位置に支持部材をあてがい、前記支持部材上に前記電気／電子部品を位置させてなされる請求項 10 記載の部品内蔵配線板の製造方法。

15. 前記位置させられた電気／電子部品の前記端子と前記分断された導電層とを導電部材で接続する前記工程が、前記導電部材として半田または導電性樹脂が用いられる請求項 10 記載の部品内蔵配線板の製造方法。

16. 少なくとも上下両面に導電層を有するコア配線板を製造する工程と、

内蔵すべき電気／電子部品を位置させるべき空間が生じるように前記製造されたコア配線板に貫通孔を形成する工程と、

前記形成された貫通孔の内表面を含むように導電層を形成する工程と、

前記上下両面の導電層をパターンニングする工程と、

前記貫通孔に形成された前記導電層を前記内蔵すべき電気／電子部品

の端子の数に応じて分断する工程と、

前記空間に電気／電子部品を位置させる工程と、

前記位置させられた電気／電子部品の前記端子と前記分断された導電層とを導電部材で接続する工程と、

- 5 前記導電部材により前記電気／電子部品が接続された前記コア配線板の上下両面それぞれに重ねてかつ前記電気／電子部品の周りを充填するように絶縁層を積層形成する工程と

を具備する部品内蔵配線板の製造方法。

- 10 17. 前記形成された貫通孔の内表面を含むように導電層を形成する前記工程が、無電解めっきにより下地となる導電層を形成する工程と、前記形成された下地を種に用いて電解めっきにより上層となる導電層を形成する工程とを有する請求項16記載の部品内蔵配線板の製造方法。

- 15 18. 内蔵すべき電気／電子部品を位置させるべき空間が生じるように前記製造されたコア配線板に貫通孔を形成する前記工程が、ドリリングまたは金型打ち抜きによりなされる請求項16記載の部品内蔵配線板の製造方法。

- 20 19. 前記空間に電気／電子部品を位置させる前記工程が、前記空間からのぞく前記コア配線板の下位置に支持部材をあてがい、前記支持部材上に前記電気／電子部品を位置させてなされる請求項16記載の部品内蔵配線板の製造方法。

20. 前記位置させられた電気／電子部品の前記端子と前記分断された導電層とを導電部材で接続する前記工程が、前記導電部材として半田または導電性樹脂が用いられる請求項16記載の部品内蔵配線板の製造方法。

- 25 21. 前記貫通孔に形成された前記導電層を内蔵すべき電気／電子部品の端子の数に応じて分断する工程が、ドリリング、金型打ち抜き、また

はレーザ加工によりなされる請求項 16 記載の部品内蔵配線板の製造方法。

22. 少なくとも上下両面に導電層を有するコア配線板を製造する前記工程が、配線層を 4 つ有するコア配線板を製造するものであり、かつ、

5 これらの配線層同士の電氣的接続が導電性バンプでなされるように製造される請求項 16 記載の部品内蔵配線板の製造方法。

23. 内蔵すべき電気／電子部品を位置させるべき空間が生じるように前記製造されたコア配線板に貫通孔を形成する前記工程が、前記貫通孔としてほぼ円形の貫通孔を形成する請求項 16 記載の部品内蔵配線板の

10 製造方法。

24. 内蔵すべき電気／電子部品を位置させるべき空間が生じるように前記製造されたコア配線板に貫通孔を形成する前記工程が、前記貫通孔として横断面外形が複数の円弧からなる貫通孔を形成する請求項 16 記載の部品内蔵配線板。

15



FIG. 1A

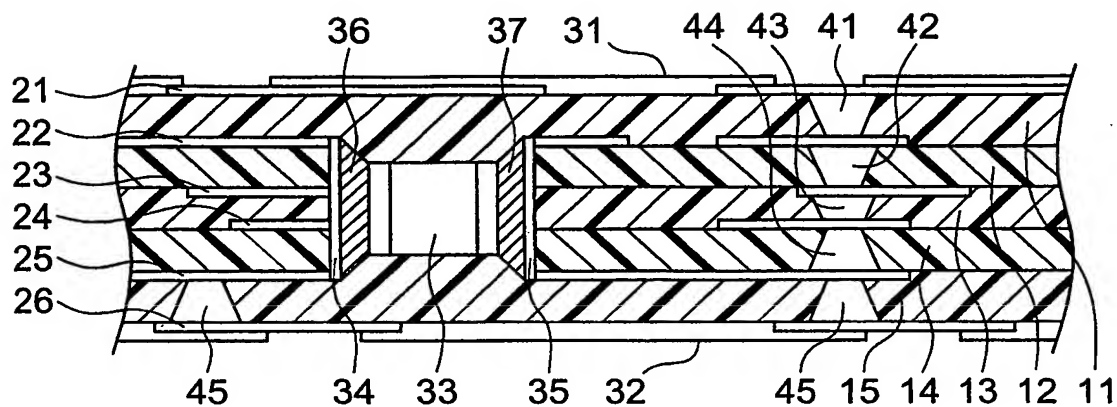


FIG. 1B

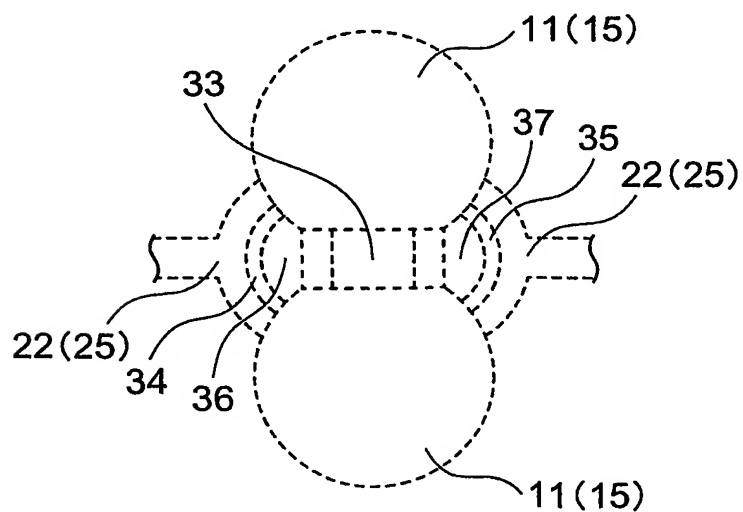


FIG. 2A

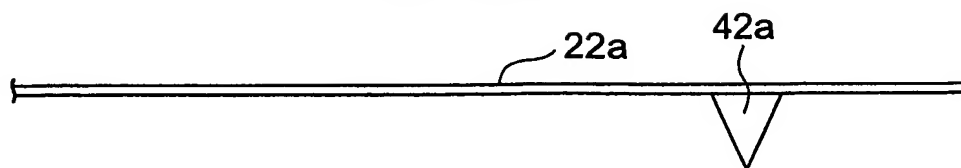


FIG. 2B

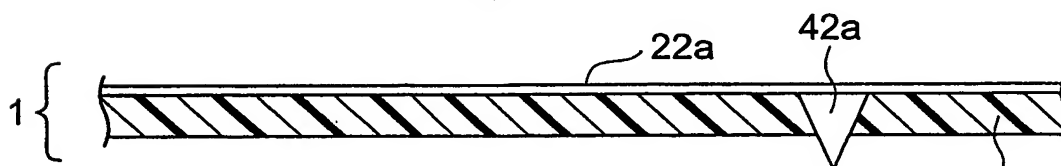


FIG. 2C

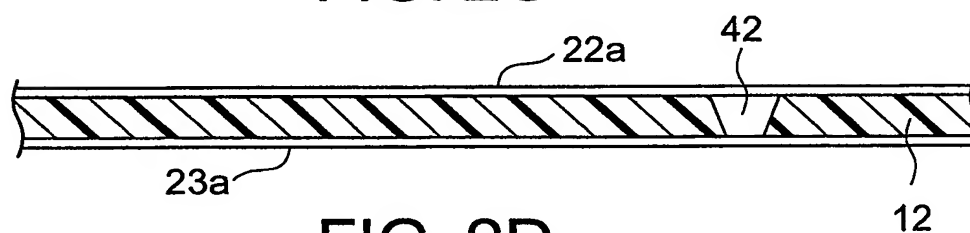


FIG. 2D

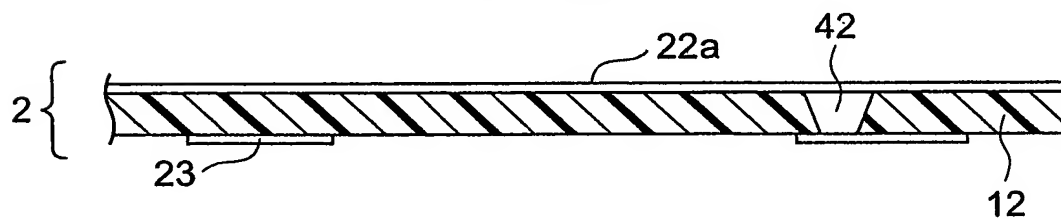


FIG. 2E

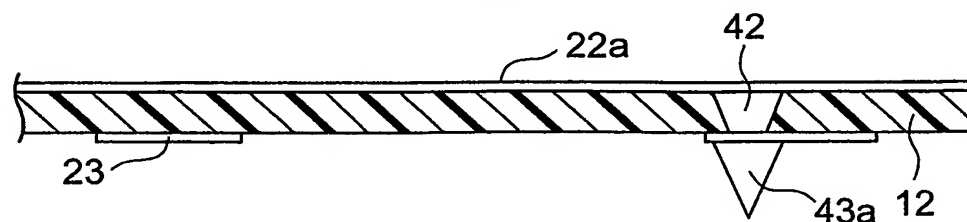


FIG. 2F

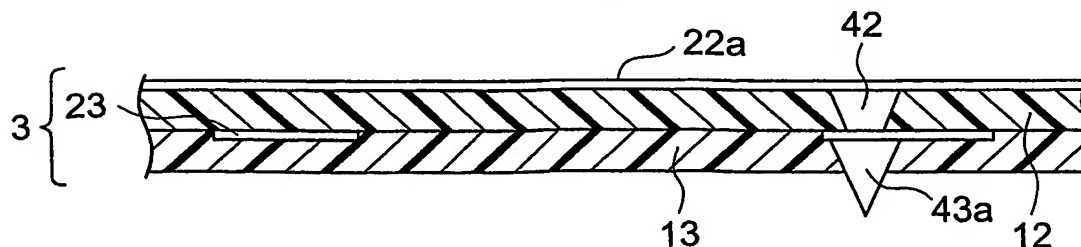


FIG. 3A

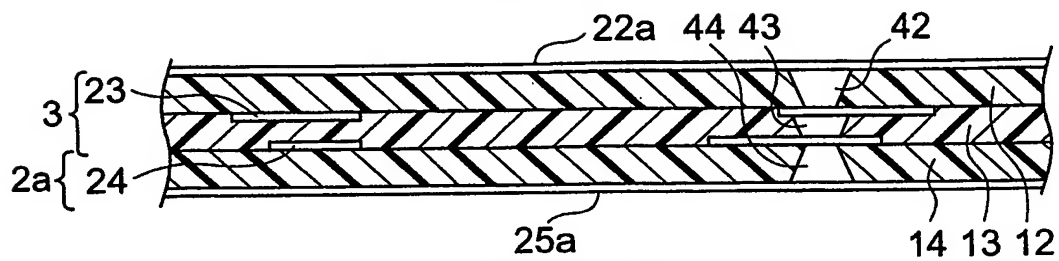


FIG. 3B1

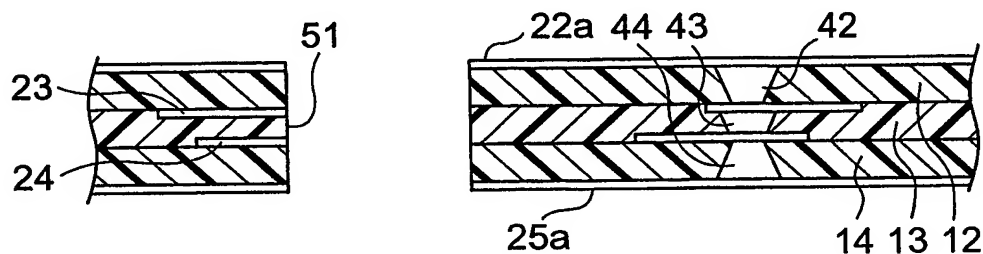


FIG. 3B2

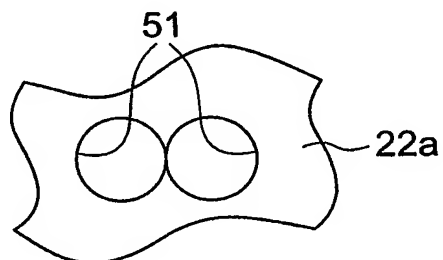


FIG. 3C1

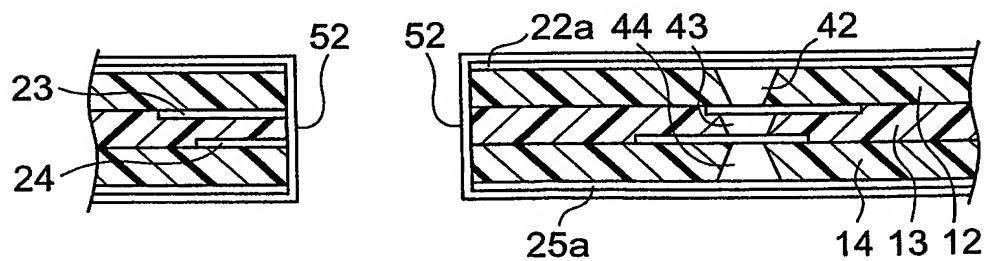


FIG. 3C2

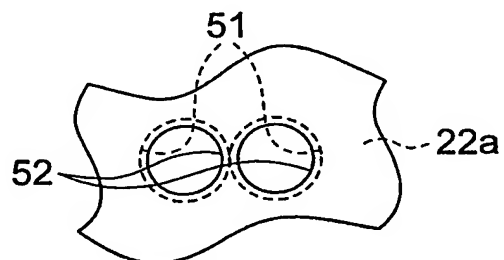


FIG. 4A1

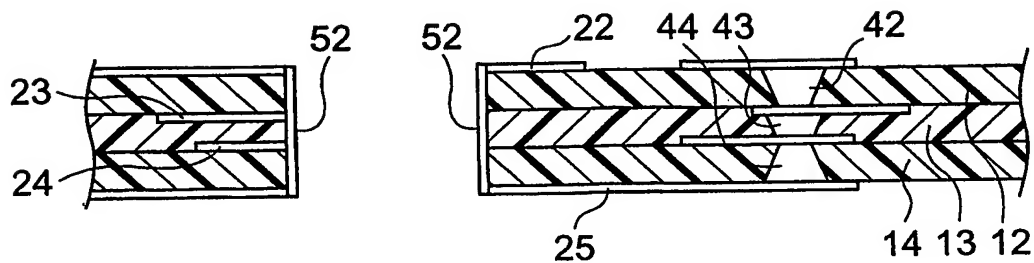


FIG. 4A2

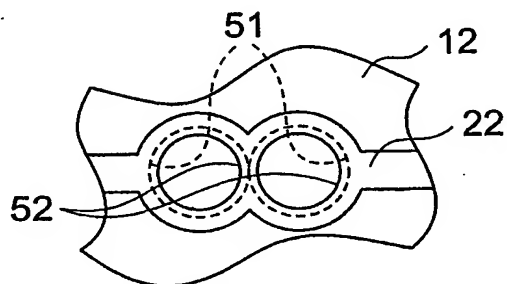


FIG. 4B

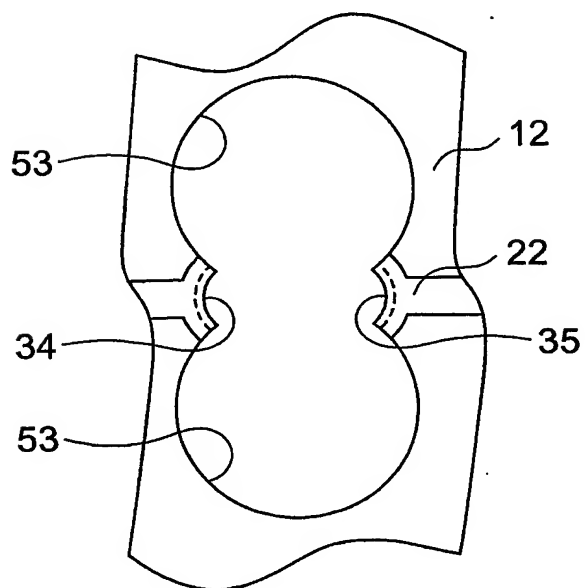


FIG. 5A

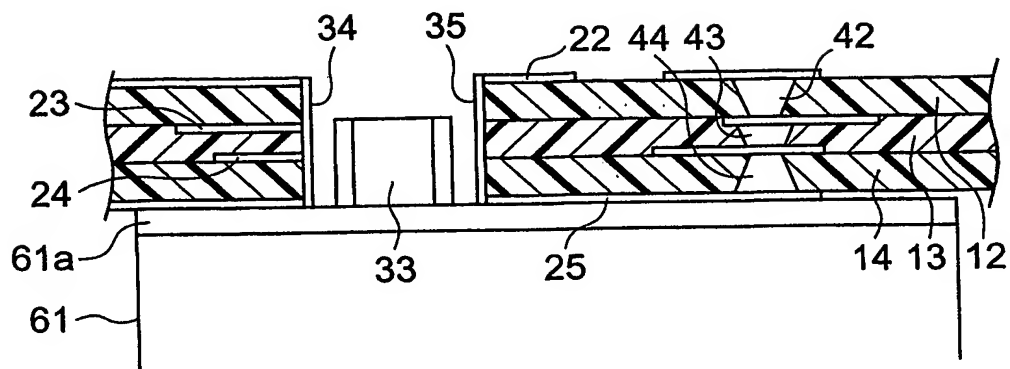


FIG. 5B1

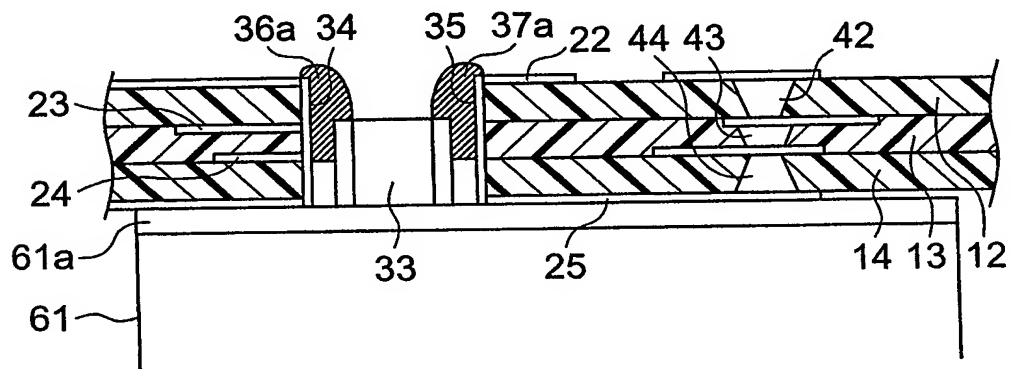


FIG. 5B2

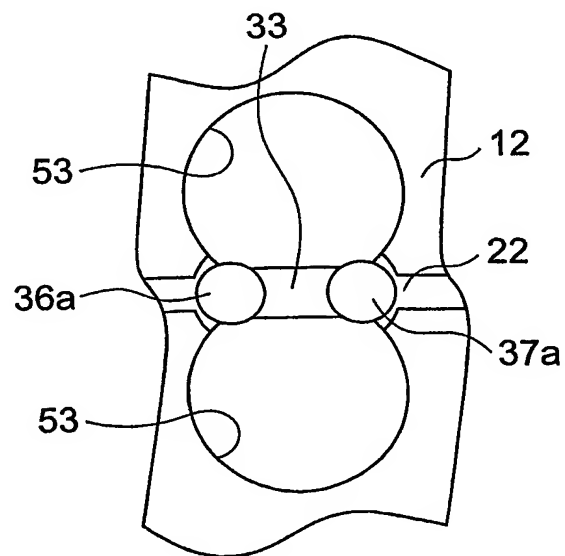


FIG. 6A

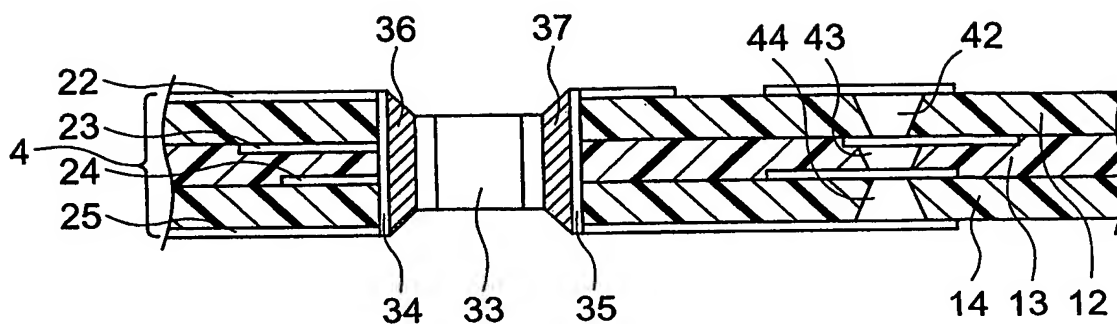


FIG. 6B

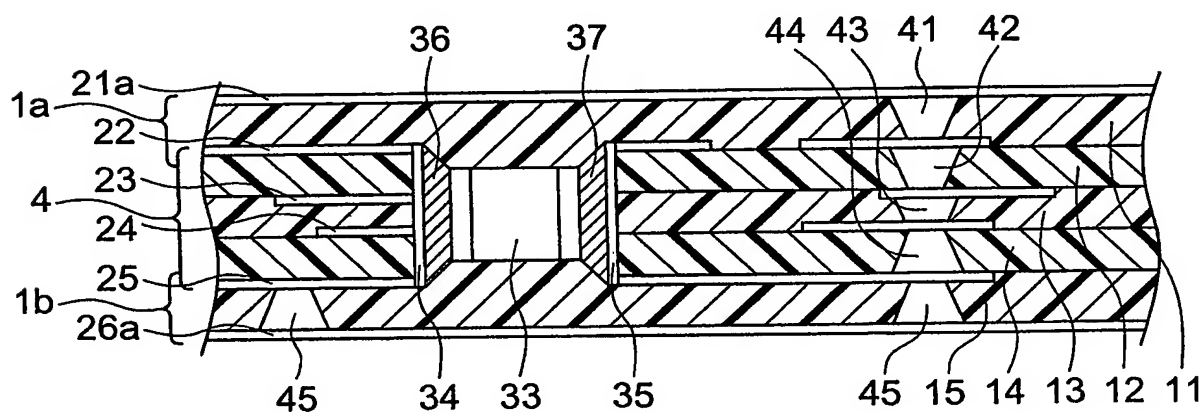


FIG. 6C

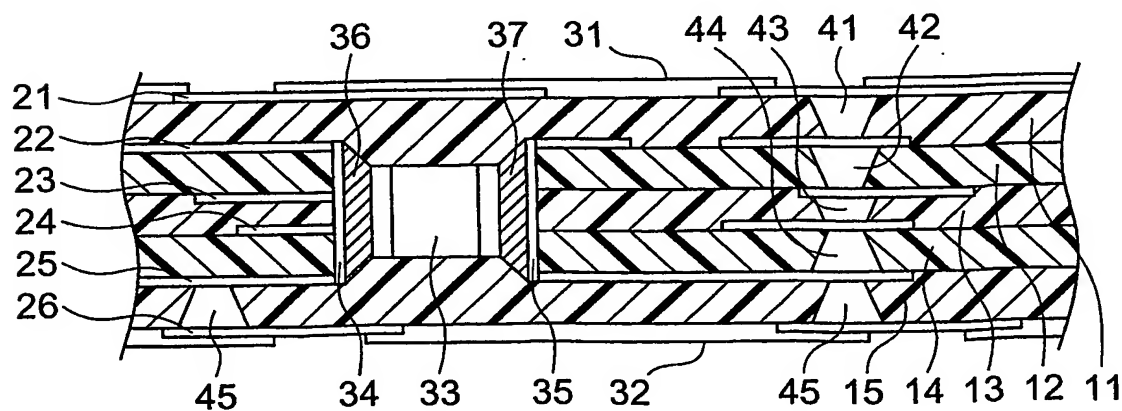


FIG. 7A

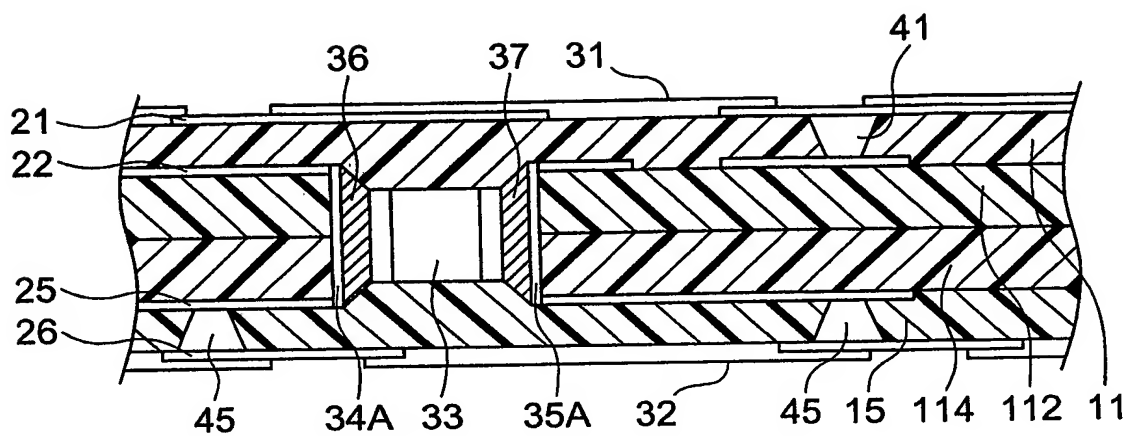


FIG. 7B

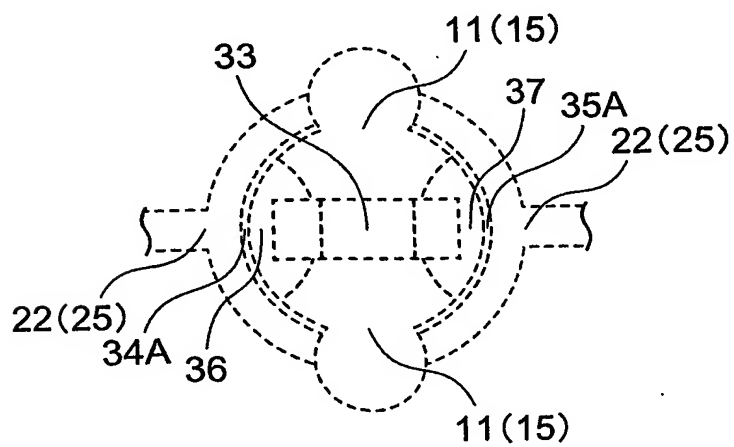


FIG. 8A

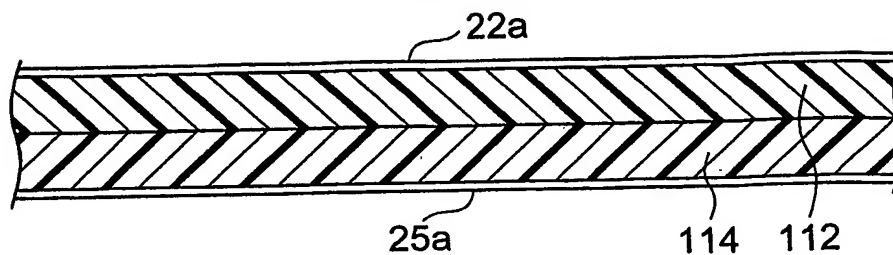


FIG. 8B1

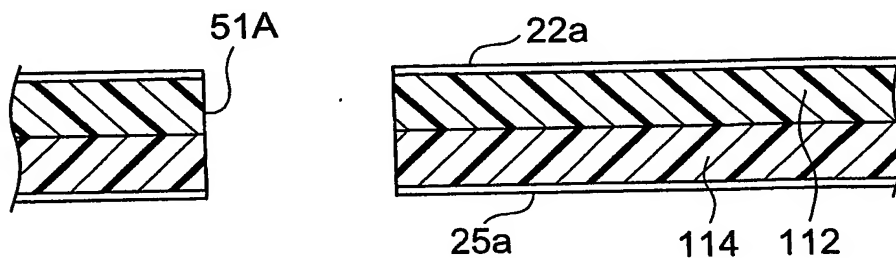


FIG. 8B2

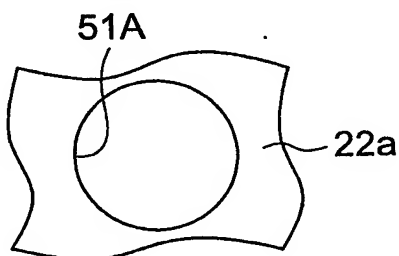


FIG. 8C1

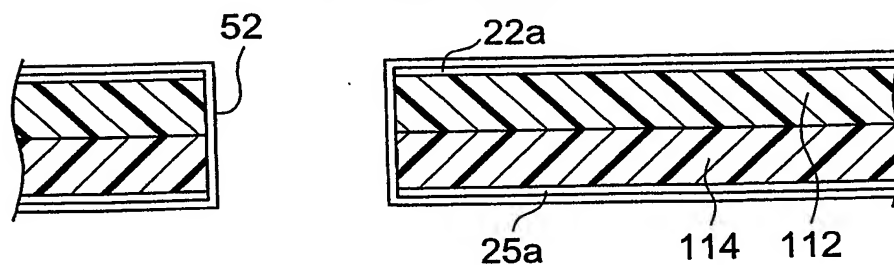


FIG. 8C2

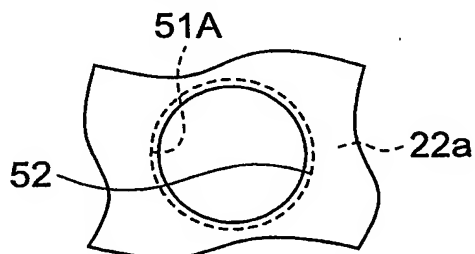




FIG. 9A1

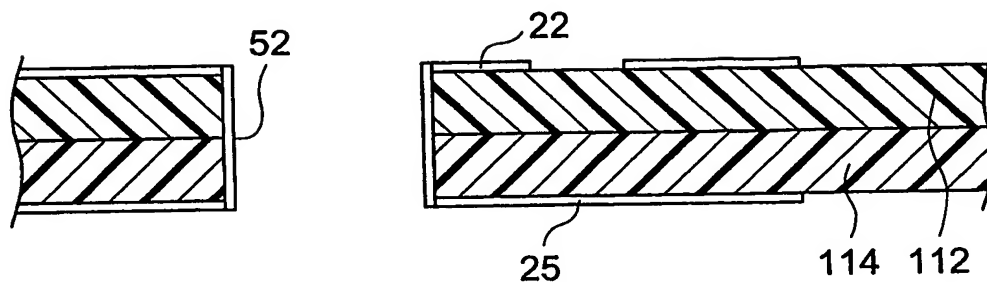


FIG. 9A2

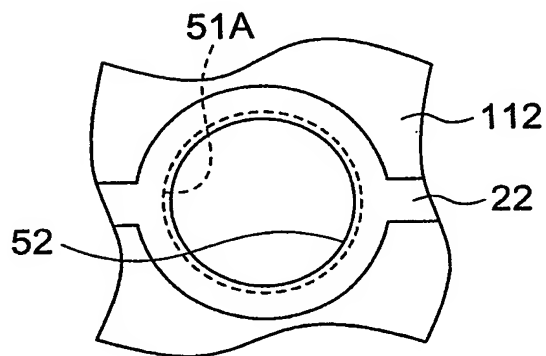


FIG. 9B1

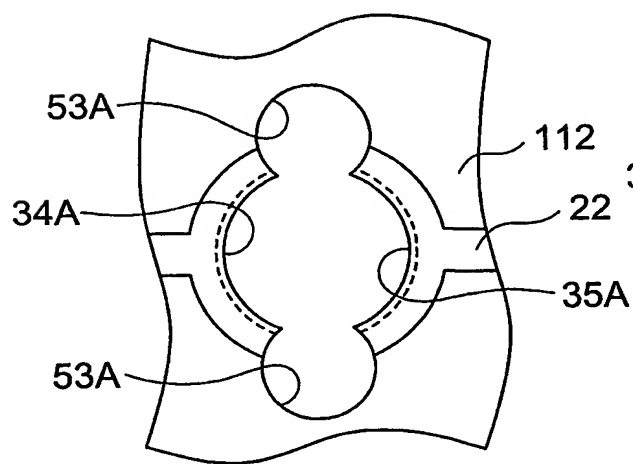


FIG. 9B2

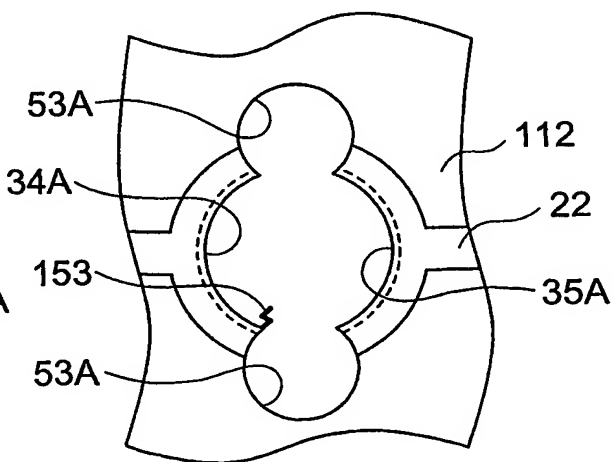


FIG. 10A

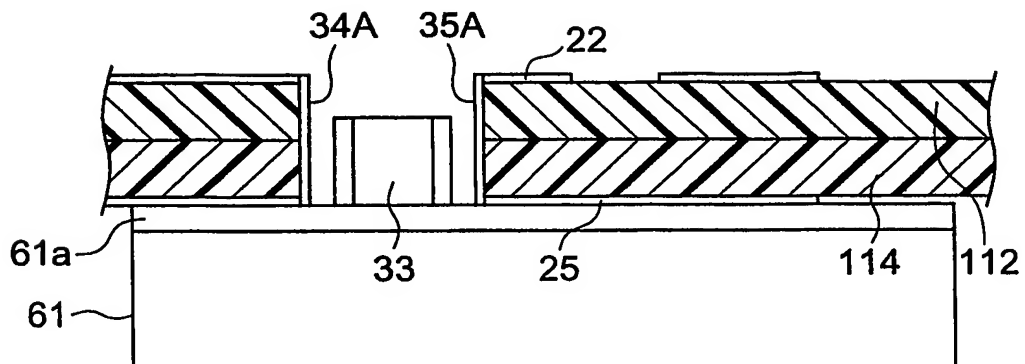


FIG. 10B1

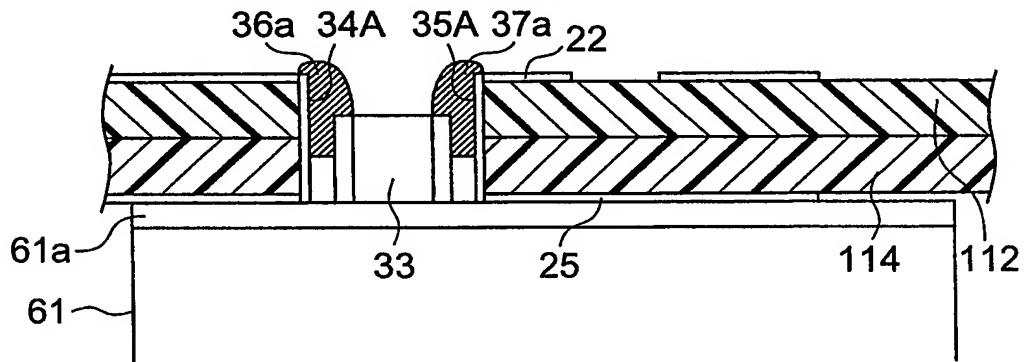


FIG. 10B2

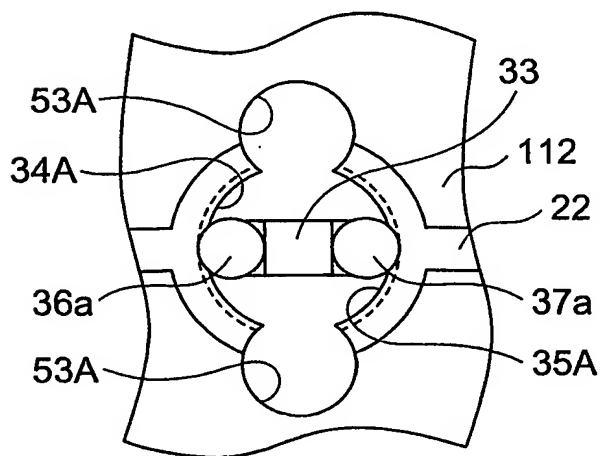


FIG. 10B3

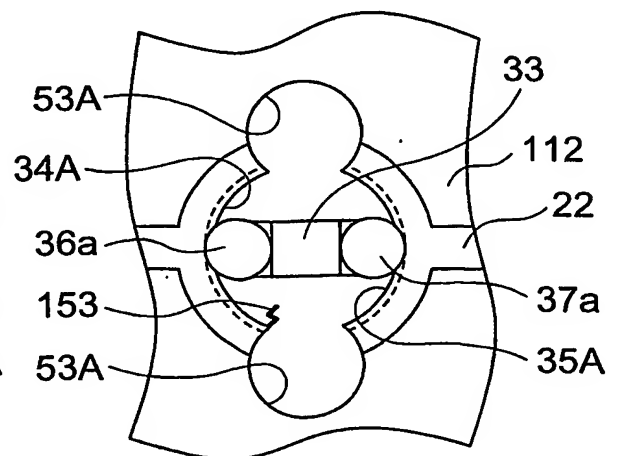


FIG. 11A

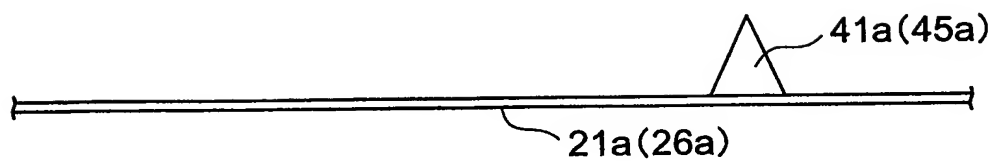


FIG. 11B

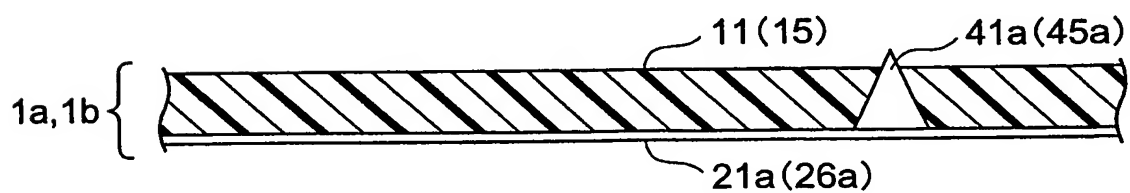


FIG. 12A

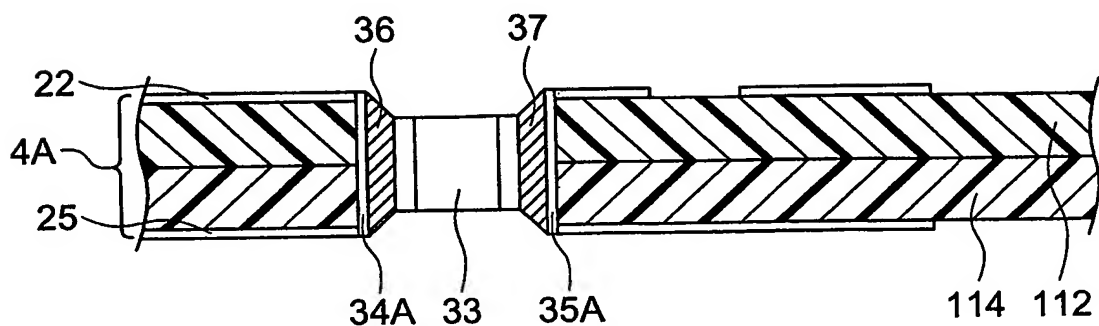


FIG. 12B

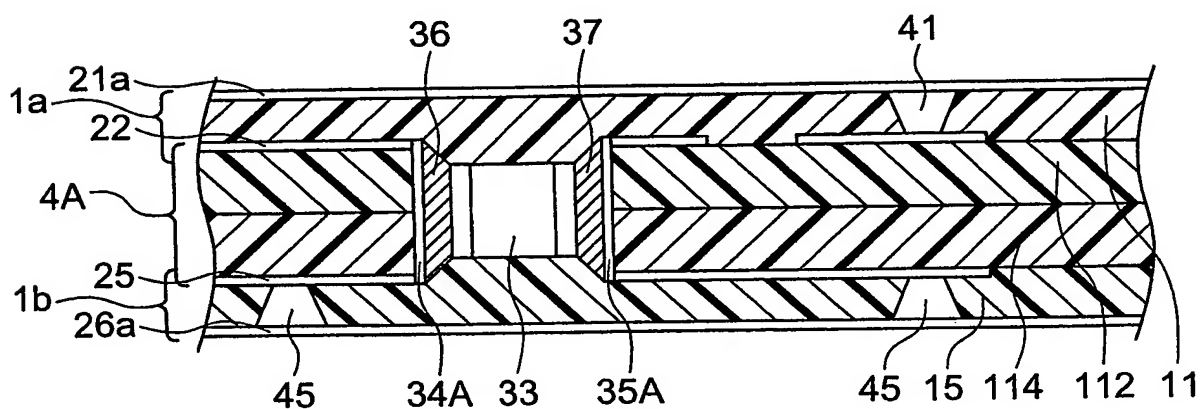


FIG. 12C

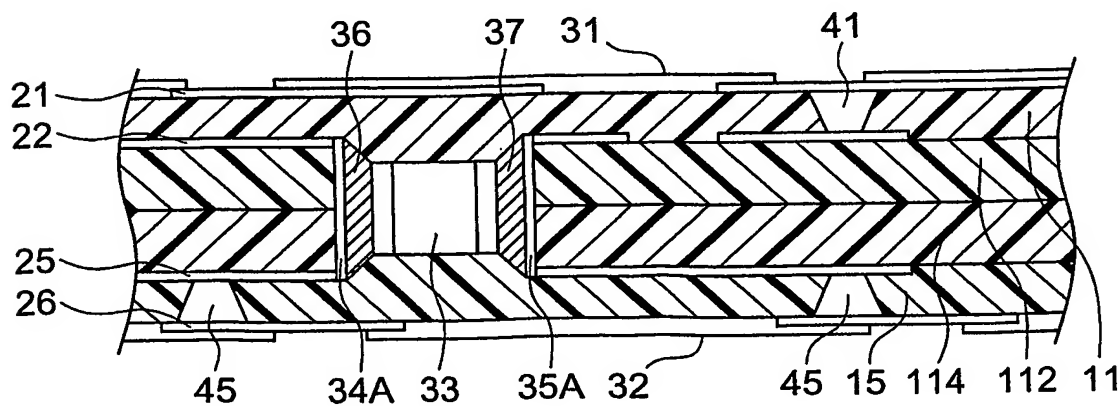


FIG. 13A

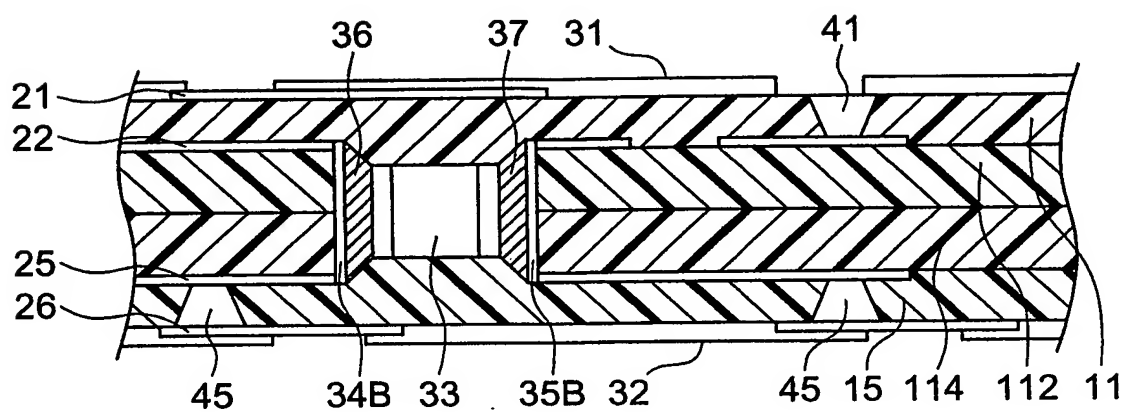


FIG. 13B

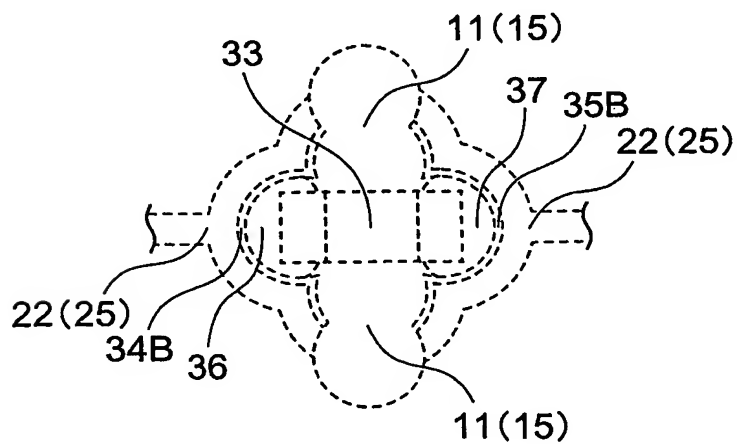


FIG. 14A

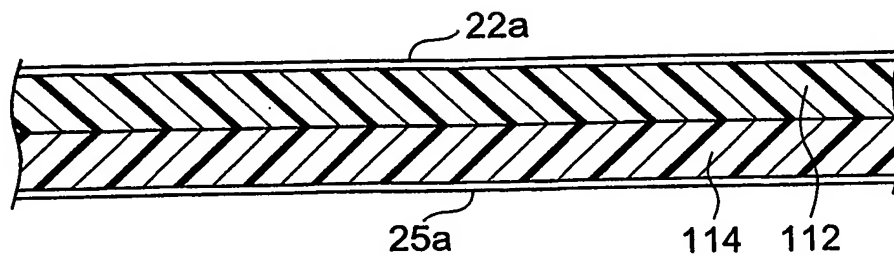


FIG. 14B1

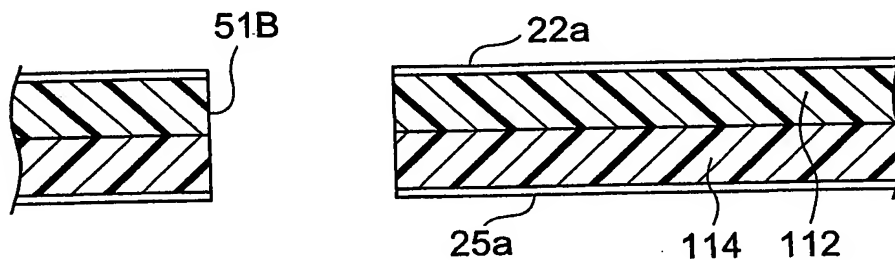


FIG. 14B2

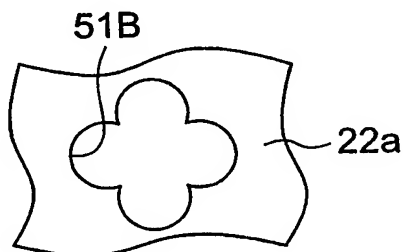


FIG. 14C1

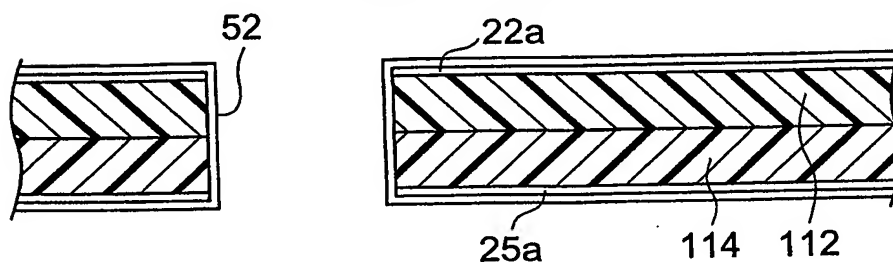


FIG. 14C2

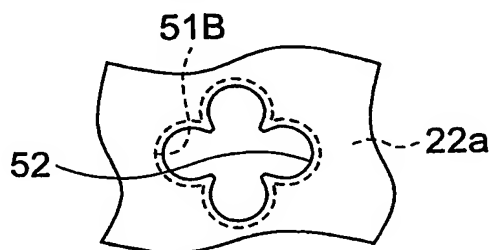


FIG. 15A1

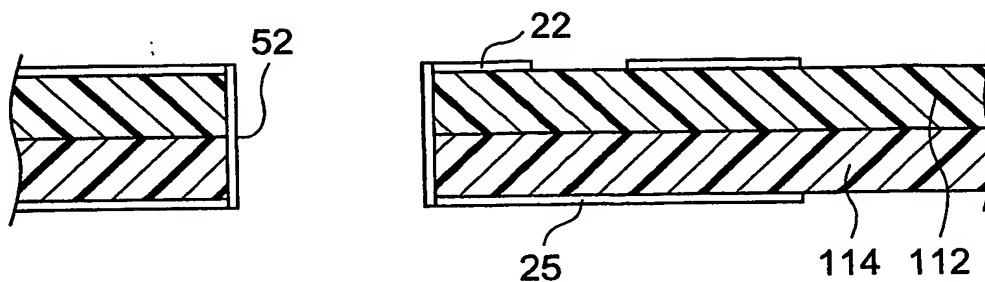


FIG. 15A2

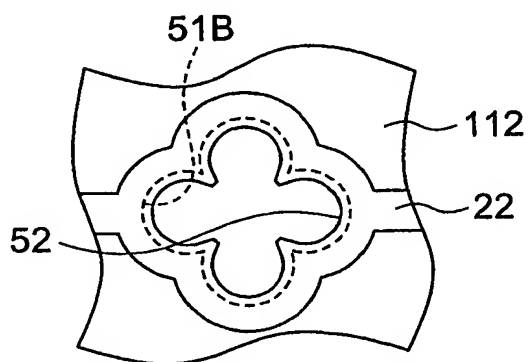


FIG. 15B1

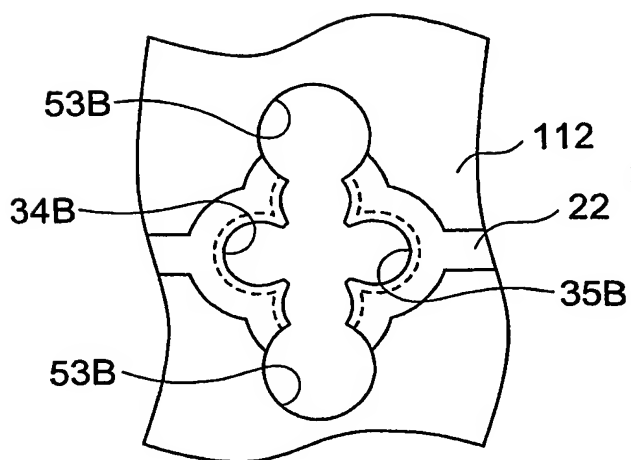


FIG. 15B2

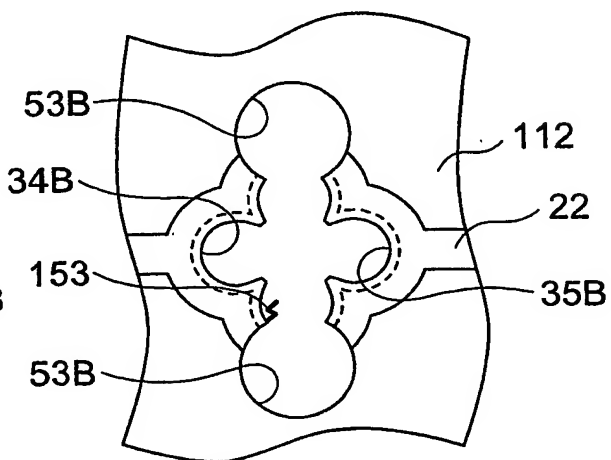


FIG. 16A

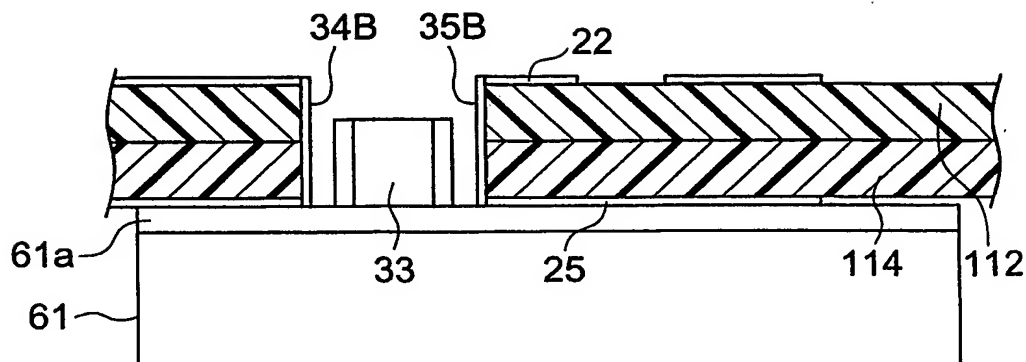


FIG. 16B1

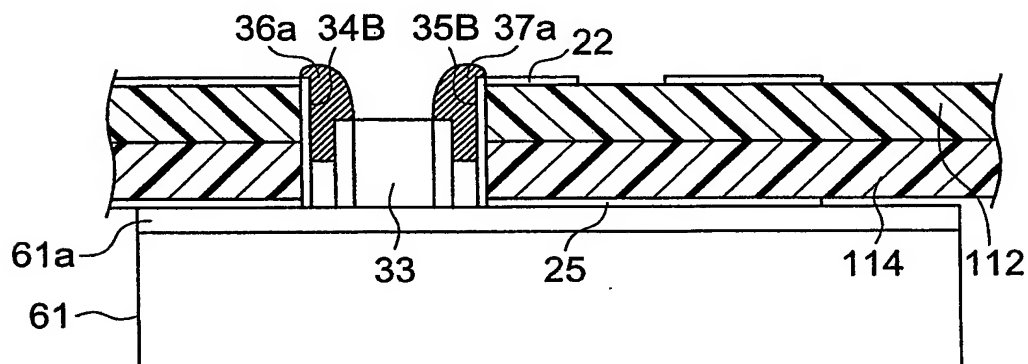


FIG. 16B2

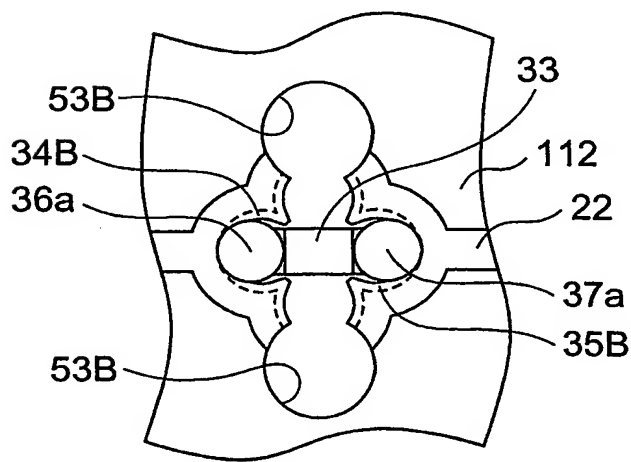


FIG. 16B3

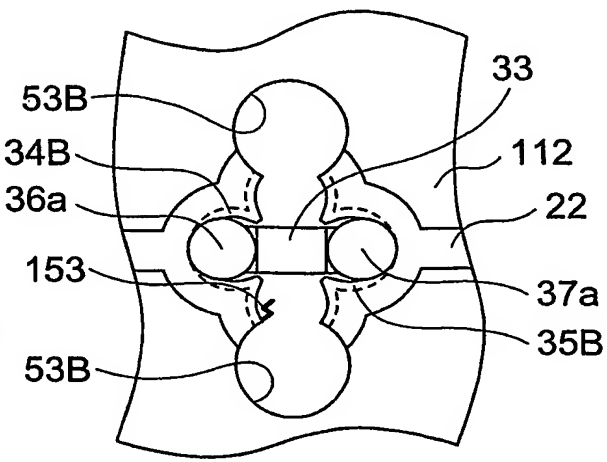




FIG. 17A

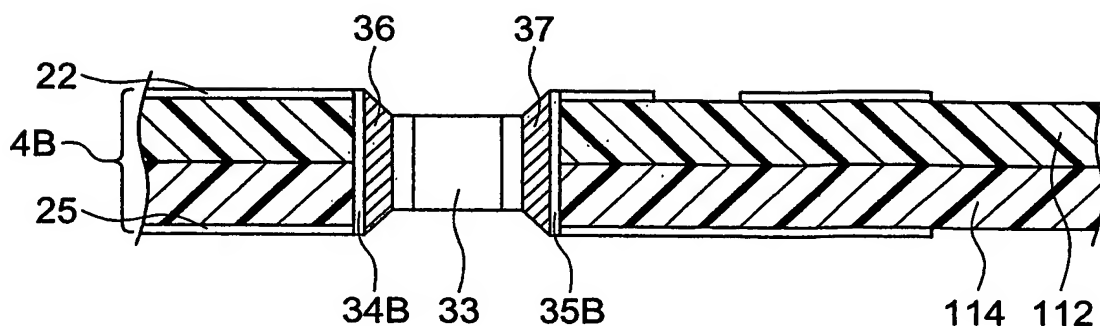


FIG. 17B

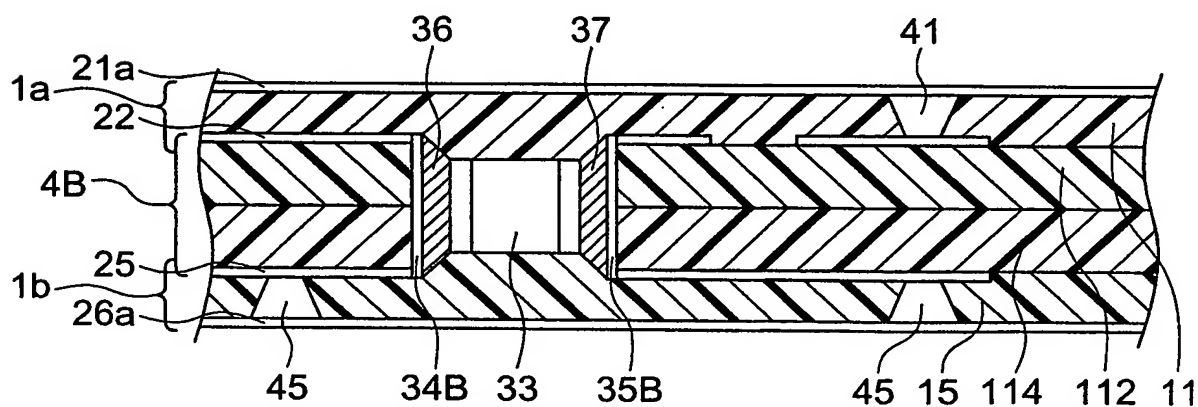
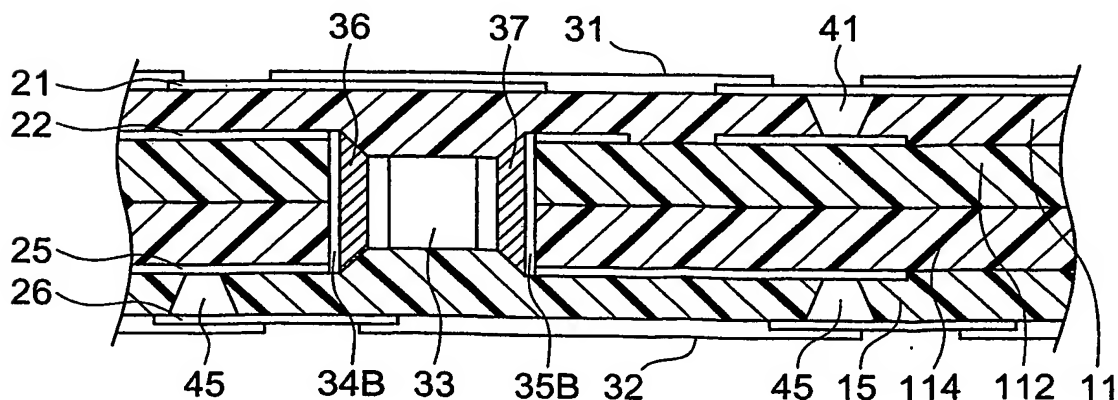


FIG. 17C



## INTERNATIONAL SEARCH REPORT

 International Application No.  
 PCT/JP03/12749

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> H05K3/46, 1/18, H01L23/12

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H05K1/18, 3/46, H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X A	Tatsuro IMAMURA et al., "Judo Buhin Naizo B <sup>2</sup> it <sup>TM</sup> Haisenban", Micro Electronics Symposium Ronbunshu, 08 October, 2002 (08.10.02), Dai 12 Kai pages 311 to 314	1-7 8-24
Y	JP 2001-298273 A (Hitachi, Ltd.), 26 October, 2001 (26.10.01), (Family: none)	1-24
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 164627/1978 (Laid-open No. 81966/1980) (Hitachi Denshi, Ltd.), 05 June, 1980 (05.06.80), (Family: none)	1-9, 16-24



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to
"A" document defining the general state of the art which is not considered to be of particular relevance	understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

 Date of the actual completion of the international search  
 06 January, 2004 (06.01.04)

 Date of mailing of the international search report  
 20 January, 2004 (20.01.04)

 Name and mailing address of the ISA/  
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/12749

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-53447 A (Iwaki Electronics Co., Ltd.), 23 February, 2001 (23.02.01), (Family: none)	1-24
Y	JP 2001-15920 A (Toshiba Corp.), 19 January, 2001 (19.01.01), (Family: none)	3-6, 22
Y	JP 6-112623 A (Ibiden Co., Ltd.), 22 April, 1994 (22.04.94), (Family: none)	10-15
Y	JP 2002-151846 A (NGK Spark Plug Co., Ltd.), 24 May, 2002 (24.05.02), (Family: none)	14, 19
A	JP 9-214093 A (Toshiba Corp.), 15 August, 1997 (15.08.97), (Family: none)	1-24
A	JP 2001-274555 A (Toshiba Corp.), 05 October, 2001 (05.10.01), (Family: none)	1-24
E, A	JP 2002-319745 A (Hitachi AIC Inc.), 31 October, 2002 (31.10.02), (Family: none)	1-24
E, A	JP 2003-324260 A (Victor Company Of Japan, Ltd.), 14 November, 2003 (14.11.03), (Family: none)	1-24

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H05K 3/46, 1/18,  
H01L 23/12

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H05K 1/18, 3/46,  
H01L 23/12

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
日本国公開実用新案公報 1971-2004年  
日本国登録実用新案公報 1994-2004年  
日本国実用新案登録公報 1996-2004年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
P, X  A	今村達郎 他, 受動部品内蔵 B <sup>2</sup> i t <sup>m</sup> 配線板, マイクロエレクトロ ニクスシンポジウム論文集, 2002. 10. 08, 第12回, p. 311-314	1-7  8-24

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

- の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

06. 01. 04

国際調査報告の発送日

20. 1. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号 100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

落合 弘之



3S 2921

電話番号 03-3581-1101 内線 6222

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-298273 A (株式会社日立製作所) 2001. 10. 26 (ファミリーなし)	1-24
Y	日本国実用新案登録出願53-164627号 (日本国実用新案登録出願公開55-81966号) の願書に添付した明細書及び図面 の内容を撮影したマイクロフィルム (日立電子株式会社) 1980. 06. 05 (ファミリーなし)	1-9, 16-24
Y	JP 2001-53447 A (いわき電子株式会社) 2001. 02. 23 (ファミリーなし)	1-24
Y	JP 2001-15920 A (株式会社東芝) 2001. 01. 19 (ファミリーなし)	3-6, 22
Y	JP 6-112623 A (イビデン株式会社) 1994. 04. 22 (ファミリーなし)	10-15
Y	JP 2002-151846 A (日本特殊陶業株式会社) 2002. 05. 24 (ファミリーなし)	14, 19
A	JP 9-214093 A (株式会社東芝) 1997. 08. 15 (ファミリーなし)	1-24
A	JP 2001-274555 A (株式会社東芝) 2001. 10. 05 (ファミリーなし)	1-24
E, A	JP 2002-319745 A (日立エーアイシー株式会社) 2002. 10. 31 (ファミリーなし)	1-24
E, A	JP 2003-324260 A (日本ビクター株式会社) 2003. 11. 14 (ファミリーなし)	1-24